

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-85643

(P2001-85643A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

6 8 1 F 5 F 0 8 3
6 2 1 B

審査請求 未請求 請求項の数 9 O L (全 26 頁)

(21) 出願番号 特願2000-49869 (P2000-49869)

(22) 出願日 平成12年2月25日 (2000.2.25)

(31) 優先権主張番号 特願平11-198058

(32) 優先日 平成11年7月12日 (1999.7.12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 金沢 賢一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 橋本 浩一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100090273

弁理士 國分 孝悦

最終頁に続く

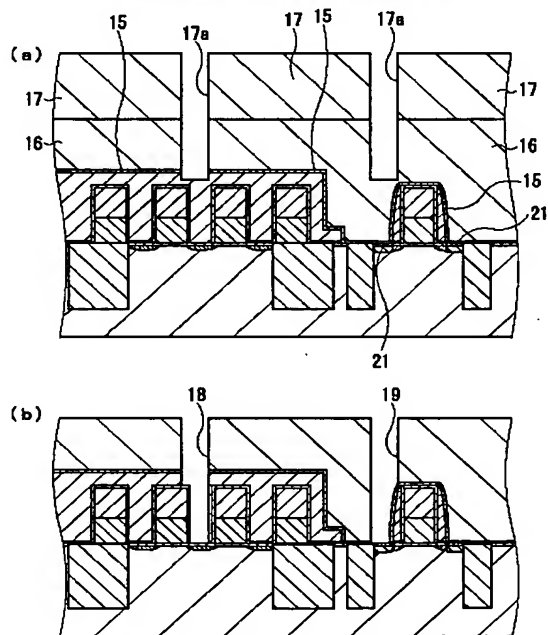
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 周辺回路領域のトランジスタにおけるソース／ドレインのシリサイド化と、B L CやS A Cの自己整合化技術とを共に適用し、ロジック回路のトランジスタに金属シリサイドを備えた半導体メモリを高集積化及び高性能化する。

【解決手段】 S A C膜10をメモリセル領域3のゲート電極6間を埋め込まない程度の膜厚に形成した後、今度はシリコン酸化膜11をゲート電極6間を埋め込む膜厚に形成し、周辺回路領域4のゲート電極7のみの側面にシリコン酸化膜11からなるサイドウォール13を形成し、露出した基板面に金属シリサイド21を形成する。そして、全面にB L D膜15を形成し、S A C及びB L D膜10、15を用いて自己整合的にコンタクト孔18、19を形成する。

第1の実施形態の半導体装置の製造工程



16 層間絶縁膜 17 フォトリソ 17a 開口 18, 19 コンタクト孔

【特許請求の範囲】

【請求項1】 半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、前記第1及び第2の領域に第1の保護膜を形成する工程と、

前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、

前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成する工程と、

前記第1及び第2の領域に第2の保護膜を形成する工程と、

前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記第2の不純物拡散層を露出させる第2の接続孔を前記第1及び第2の保護膜を用いてそれぞれ形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第2の不純物拡散層を形成した後、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程を含み、

前記第2の接続孔を形成する際に、前記第2の領域で前記金属シリサイド膜を露出させることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1及び第2の保護膜は同じエッチング特性を有する材料からなり、前記第1及び第2の接続孔を形成する工程は、前記第1及び第2の保護膜の材料に対して選択性の低い条件で前記各ゲート電極を埋め込む膜厚に形成された層間絶縁膜及び前記第1の領域側の前記第2の保護膜が貫通するまで異方性エッチングした後、前記第1及び第2の保護膜の材料に対して選択性の高い条件で前記絶縁膜を異方性エッチングする工程を含むことを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記層間絶縁膜を形成した後、化学機械研磨法により前記層間絶縁膜の表面を平坦化する工程を更に含み、

前記化学機械研磨の際に、前記第1の領域側における前記第2のゲート上の前記第2の保護膜が除去されるまで前記層間絶縁膜を研磨することを特徴とする請求項1～3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記第2の保護膜を形成した後、前記第2の領域を覆い前記第1の領域を開口するマスクを形成し、前記マスクを用いて前記第1の領域側の前記第2の保護膜を除去することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、前記第1及び第2の領域に第1の保護膜を形成する工程と、

前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、

前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成した後、前記第1の領域の前記絶縁膜及び前記第2の領域の前記サイドウォールを除去する工程と、

前記第1及び第2の領域に第2の保護膜を形成する工程と、

前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記第2の不純物拡散層を露出させる第2の接続孔を前記第1及び第2の保護膜を用いてそれぞれ形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 前記第2の不純物拡散層を形成した後、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程を含み、

前記第2の接続孔を形成する際に、前記第2の領域で前記金属シリサイド膜を露出させることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 複数のゲート電極及びソース／ドレインをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置において、

前記第1の領域の前記ゲート電極間を埋め込まない程度の膜厚に第1の保護膜が形成されるとともに、前記第1の保護膜上に前記第1の領域の前記ゲート電極間を埋め込むように絶縁膜が形成されており、

前記第2の領域の前記ゲート電極のみにサイドウォールが形成されるとともに、前記第2の領域のソース／ドレイン上に金属シリサイド膜が形成され、前記サイドウォールを含む前記第2の領域の前記ゲート電極を覆うように第2の保護膜が形成されており、

前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレイン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする半導体装置。

【請求項9】 複数のゲート電極及びソース／ドレインをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置において、

3

前記第1及び第2の領域に、合計した膜厚が前記第1の領域の前記ゲート電極間を埋め込まない程度の膜厚に第1及び第2の保護膜が形成され、

前記第1の領域では、全面を覆うように前記第1及び第2の保護膜が形成されており、

前記第2の領域では、前記ゲート電極の側面及びその近傍のみに前記第1の保護膜が形成されるとともに、前記第2の領域のソース／ドレイン上に金属シリサイド膜が形成され、全面を覆うように第2の保護膜が形成されており、

前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレイン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高集積化に適した半導体装置及びその製造方法に関し、特にDRAM、フラッシュメモリ等の如く素子領域とその周辺回路領域を備えた半導体メモリに適用して好適なものである。

【0002】

【従来の技術】近年、半導体装置への要求は高集積化のみならずより高い付加価値を求める傾向が強くなってきている。例えば、新分野の半導体メモリとして注目されているメモリセルとロジック回路（メモリセルの周辺回路）とを備えたDRAMの混載チップでは、ロジック回路を構成するトランジスタのソース／ドレインに抵抗値の低減化を図る金属シリサイドを形成する技術が必要不可欠とされている。ところがこの場合、この技術を適用するにあたって、DRAMのメモリセルを構成するトランジスタにはリフレッシュ特性の観点からソース／ドレインに金属シリサイドを用いることはできないという根本的な問題がある。従って、トランジスタのソース／ドレインに関してはメモリセル側とロジック回路側とを分けて形成する必要がある。

【0003】

【発明が解決しようとする課題】しかしながら、上述の技術はメモリセルの高集積化の要請と相入れない側面を持っている。即ち、高集積化が進むに伴い、コンタクト孔の合わせ余裕が厳格なものとなるため、これを緩和するためにトランジスタを覆う保護膜、ここでは酸化膜に比してエッチレートが低い窒化膜を形成し、ボータレスコンタクト技術（BLC）や自己整合的にコンタクト孔を形成するセルフアラインコンタクト技術（SAC）が用いられる。本例の場合、上記の如き自己整合化技術を用いると具体的に以下に示すような問題が生じる。

【0004】高集積化によりメモリセルサイズが縮小化すれば、当然に当該メモリセルの隣接するゲート電極の

4

離間距離も短くなる。この場合、図31（a）に示すように、ゲート電極301間の距離の短縮化が進むと、ゲート電極301の素子間隔302がBLC及びSAC用の窒化膜306によって図示の如く埋め込まれてしまい、金属シリサイドを形成するどころかその前提となるBLC及びSACが実行不能となる。

【0005】そこで、図31（b）に示すように、ゲート電極301の形成後に膜厚30nm程度の薄いSAC用の窒化膜303及び所要膜厚の酸化膜を順次形成し、
10 全面異方性エッチングによりサイドウォール304を形成するという技術が提案されている。しかしながらこの場合、ロジック回路側のトランジスタのみに金属シリサイドを形成する必要性から、メモリセル側をマスクしてエッチングによりロジック回路側のトランジスタのソース／ドレイン表面を露出させる必要がある。そして金属シリサイド形成後、今度はBLC用の窒化膜305を形成することになるが、このときゲート電極301間が狭いために図示の如く窒化膜305がサイドウォール304間を埋め込み、コンタクト孔形成の際に上方からみた
20 窒化膜305の実質的な膜厚が極めて厚いものとなってメモリセル側のSACを行なうことができない。

【0006】このように、ロジック回路のトランジスタにおける低抵抗化の要請と、メモリセル部及びロジック回路部全体の高集積化の要請とは互いに相反する要素を有しており、両者を共に満たすことは極めて困難であるという現況にある。

【0007】そこで本発明は、上記の課題に鑑み、例えば第1、第2の領域の関係について、第1の領域がメモリセル領域、第2の領域がその周辺回路領域である場合に、
30 当該周辺回路領域のトランジスタにおけるソース／ドレインのシリサイド化と、BLCやSACの自己整合化技術とを共に適用し、ロジック回路のトランジスタに金属シリサイドを備えた半導体メモリの更なる高集積化及び高性能化（高速動作化）を可能とする半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記課題を解決するために、以下に示す発明の諸態様を有する。

【0009】第1の態様は、半導体装置の製造方法であって、半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、前記第1及び第2の領域に第1の保護膜を形成する工程と、前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、前記サイドウォールの両側で露出した前記半導体
40 基板に前記第1の不純物拡散層と一部重なるように第2

5

の不純物拡散層を形成する工程と、前記第1及び第2の領域に第2の保護膜を形成する工程と、前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記第2の不純物拡散層を露出させる第2の接続孔を前記第1及び第2の保護膜を用いてそれぞれ形成する工程とを含むことを特徴とする。

【0010】前記第1の態様において、前記第2の不純物拡散層を形成した後、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程を含み、前記第2の接続孔を形成する際に、前記第2の領域で前記金属シリサイド膜を露出させることが好適である。

【0011】前記第1の態様において、前記第1及び第2の保護膜は同じエッチング特性を有する材料からなり、前記第1及び第2の接続孔を形成する工程を、前記第1及び第2の保護膜の材料に対して選択性の低い条件で前記各ゲート電極を埋め込む膜厚に形成された層間絶縁膜及び前記第1の領域側の前記第2の保護膜が貫通するまで異方性エッチングした後、前記第1及び第2の保護膜の材料に対して選択性の高い条件で前記絶縁膜を異方性エッチングする工程を含むように行なうことが好適である。

【0012】前記第1の態様において、前記第2の不純物拡散層を形成する際のイオン注入用のマスクを、前記サイドウォールを形成する際に兼用することが好適である。

【0013】前記第1の態様において、前記層間絶縁膜を形成した後、化学機械研磨法により前記層間絶縁膜の表面を平坦化する工程を更に含み、前記化学機械研磨の際に、前記第1の領域側における前記第2のゲート上の前記第2の保護膜が除去されるまで前記層間絶縁膜を研磨することが好適である。

【0014】前記第1の態様において、前記第2の保護膜を形成した後、前記第2の領域を覆い前記第1の領域を開口するマスクを形成し、前記マスクを用いて前記第1の領域側の前記第2の保護膜を除去することが好適である。

【0015】第2の態様は、半導体装置の製造方法であって、半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、前記第1及び第2の領域に第1の保護膜を形成する工程と、前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成した後、前記第1の領域の前記絶縁膜及び前記第2の領域の前記サイドウォールを除去す

6

る工程と、前記第1及び第2の領域に第2の保護膜を形成する工程と、前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記第2の不純物拡散層を露出させる第2の接続孔を前記第1及び第2の保護膜を用いてそれぞれ形成する工程とを含むことを特徴とする。

【0016】前記第2の態様において、前記第2の不純物拡散層を形成した後、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程を含み、前記第2の接続孔を形成する際に、前記第2の領域で前記金属シリサイド膜を露出させることが好適である。

【0017】前記第2の態様において、前記第2の不純物拡散層を形成する際のイオン注入用のマスクを、前記サイドウォールを形成する際に兼用することが好適である。

【0018】第3の態様は、複数のゲート電極及びソース／ドレインをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置であって、前記第1の領域のゲート電極間を埋め込まない程度の膜厚に第1の保護膜が形成されるとともに、前記第1の保護膜上に前記第1の領域のゲート電極間を埋め込むように絶縁膜が形成されており、前記第2の領域のゲート電極のみにサイドウォールが形成されるとともに、前記第2の領域のソース／ドレイン上に金属シリサイド膜が形成され、前記サイドウォールを含む前記第2の領域のゲート電極を覆うように第2の保護膜が形成されており、前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ自己整合的に形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレイン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする。

【0019】第4の態様は、複数のゲート電極及びソース／ドレインをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置であって、前記第1及び第2の領域に、合計した膜厚が前記第1の領域の前記ゲート電極間を埋め込まない程度の膜厚に第1及び第2の保護膜が形成され、前記第1の領域では、全面を覆うように前記第1及び第2の保護膜が形成されており、前記第2の領域では、前記ゲート電極の側面及びその近傍のみに前記第1の保護膜が形成されるとともに、前記第2の領域のソース／ドレイン上に金属シリサイド膜が形成され、全面を覆うように第2の保護膜が形成されており、前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレイン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする。

【0020】

【作用】本発明の半導体装置の製造方法（前記第1の態様）においては、全面にSAC用の第1の保護膜を形成し、第2の領域（例えば周辺回路領域）のゲート電極のみにサイドウォールを形成し、第2の不純物拡散層上に金属シリサイドを形成した後、BLC用の第2の保護膜を形成する。このとき、第1の領域（例えばメモリセル領域）では、ゲート電極の素子間隔が極めて狭い場合でも、当該素子間隔を薄い第1の保護膜を介して絶縁膜が埋め込んでいる。即ち、第1の領域のゲート電極にはSAC用の第1の保護膜が、第2の領域のゲート電極（及びサイドウォール）にはBLC用の第2の保護膜がそれぞれ有効に形成されている。従って、これら保護膜を利用して、第1の領域ではゲート電極間で第1の不純物拡散層の一部が露出するように、第2の領域では金属シリサイドの一部が露出するように、所望の第1及び第2の接続孔を形成することが可能となる。

【0021】本発明の半導体装置の製造方法（前記第2の態様）においては、第2の領域（例えば、周辺回路領域）のトランジスタに対しては十分な膜厚でサイドウォールを形成できるため、安定した特性のトランジスタを形成することができる。更に、第2の保護膜の形成前に、第1の領域に存する絶縁膜及び第2の領域に存するサイドウォールを除去することにより、第1及び第2の領域のゲート電極側壁には第1及び第2の保護膜が形成されるため、SAC用の第1の保護膜に加えて、BLC用の第2の保護膜をSAC用の保護膜として利用できる。これにより、第1及び第2の領域に形成した接続孔の絶縁耐圧を更に向上させることができる。

【0022】

【発明の実施の形態】以下、本発明を適用した具体的な実施形態について図面を参照しながら詳細に説明する。

【0023】（第1の実施形態）ここでは、本発明の原理的な説明として、第1及び第2の領域を備え、各領域に相異なる種類の半導体素子を備えた半導体装置の製造方法について述べる。なおここでは便宜上、半導体装置の構成を製造方法と共に説明する。

【0024】図1及び図2は、第1の実施形態の半導体装置の製造方法を示す概略断面図である。先ず、図1

(a)に示すように、例えばp型の半導体基板1の素子分離領域を異方性エッチングして溝を形成し、当該溝内にシリコン酸化膜を埋め込むことにより素子分離構造2を形成し、素子分離構造2により画定された第1及び第2の領域3、4にゲート絶縁膜5を形成した後、ゲート絶縁膜5上にそれぞれゲート電極6、7及びその上にSAC用の厚いシリコン窒化膜31をパターン形成する。

【0025】次に、ゲート電極6、7をマスクとして半導体基板1にイオン注入し、LDD拡散層8、9（第1の不純物拡散層）をそれぞれ形成する。第1の領域3については、ゲート電極6とソース／ドレインとして機能するLDD拡散層8とを備えてトランジスタが構成され

る。

【0026】続いて、図1(b)に示すように、全面にSAC用の保護膜（第1の保護膜）としてシリコン窒化膜10を第1の領域3のゲート電極6間を埋め込まない程度の膜厚、ここでは30nm程度に堆積形成する。

【0027】次に、続くサイドウォールを形成するためのシリコン酸化膜11をゲート電極6間を埋め込む膜厚、ここでは50nm程度に堆積形成する。当該膜厚は、第1の領域3における隣接するゲート電極6間の距離が150nm以下であれば、当該ゲート電極6間は図示の如くシリコン酸化膜11で埋め込まれる程度の値である。

【0028】続いて、図1(c)に示すように、第1の領域3のみを覆うレジストマスク12を形成し、第2の領域4のLDD拡散層9が露出するまで、シリコン酸化膜11及びシリコン窒化膜10について全面異方性エッチングする。このとき、LDD拡散層9が露出するとともに、ゲート電極7の側面にシリコン酸化膜11からなるサイドウォール13が形成される。

【0029】次に、ゲート電極7及びサイドウォール13をマスクとして、LDD拡散層9と一部重なるようにイオン注入し、LDD拡散層9を含むソース／ドレイン14（第1及び第2の不純物拡散層）を形成する。第2の領域4については、ゲート電極7とLDD構造のソース／ドレイン14とを備えてトランジスタTr2が構成される。このとき、当該イオン注入時のマスクをサイドウォール13の形成時に兼用することが好適である。このように、イオン注入用のマスクとサイドウォール13の形成用のマスクとを兼ねることにより、マスク数及び工程数を削減して効率の良い半導体製造が可能となる。

【0030】続いて、図2(a)に示すように、レジストマスク12を灰化处理等により除去した後、ソース／ドレイン14の表面に金属シリサイド21として、CoSiを周知のシリサイド・プロセスにより膜厚10nm程度に選択的に成長させる。

【0031】次に、CVD法により全面にBLC用の保護膜（第2の保護膜）としてシリコン窒化膜15を第2の領域4のゲート電極7間をサイドウォール13の膜厚との合計で埋め込まない程度の膜厚、ここでは30nm程度に堆積形成する。次に、CVD法によりシリコン酸化膜を膜厚600nm程度に堆積してゲート電極6、7間を埋め込む層間絶縁膜16を形成し、化学機械研磨法（CMP法）により層間絶縁膜16の表面を400nm程度研磨して平坦化する。

【0032】次に、層間絶縁膜16の全面にフォトレジスト17を塗布し、フォトリソグラフィによりフォトレジスト17に開孔17aを形成する。次に、フォトレジスト17をマスクとして、層間絶縁膜16及び第1の領域3側のシリコン窒化膜15を異方性エッチング（第1のエッチング）する。この第1のエッチングでは、窒

化膜と酸化膜との選択比の低いエッチングガスを用いてシリコン窒化膜15が十分にエッチングされる程度に行なうため、図2(a)の如く第1の領域3側と第2の領域4側とではほぼ同一のエッチングレートでエッチングが進むことになる。

【0033】続いて、図2(b)に示すように、今度は窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜16、シリコン窒化膜10、15及びゲート絶縁膜5のエッチング(第2のエッチング)を行なう。このとき、第1の領域3のゲート電極6間の間隔が狭くとも、又は第2の領域4のゲート電極7のコンタクト領域が小さくとも、シリコン窒化膜10、15、31によりゲート電極6、7がエッチングから保護されて第1の領域3にはソース/ドレインとして機能するLDD拡散層8の表面、第2の領域4には金属シリサイド21の表面をそれぞれ露出させるコンタクト孔18、19が形成される。

【0034】即ち、コンタクト孔18を形成する際に、図中で上方から見ればゲート電極6を覆うシリコン窒化膜10の膜厚はLDD拡散層8を覆うシリコン窒化膜10の膜厚に比して実質的に厚いため、ゲート電極6を覆うシリコン窒化膜10がエッチングされる前にLDD拡散層8を覆うシリコン窒化膜10がエッチング除去されることになる。他方、コンタクト孔19の場合も同様に、図中で上方から見ればゲート電極7を覆うシリコン窒化膜15の膜厚は金属シリサイド21を覆うシリコン窒化膜15の膜厚に比して実質的に厚いため、ゲート電極7を覆うシリコン窒化膜15がエッチングされる前に金属シリサイド21を覆うシリコン窒化膜15がエッチング除去される。

【0035】しかる後、コンタクト孔18、19を埋め込み層間絶縁膜16上で延在する配線層、全面を覆う保護層等を形成し、半導体装置を完成させる。

【0036】このように、第1の実施形態の半導体装置の製造方法によれば、第2の領域4のトランジスタにおけるソース/ドレインのシリサイド化と、BLCやSACの自己整合化技術とを共に適用し、第2の領域4のトランジスタに金属シリサイド21を備えた半導体装置の更なる高集積化及び高性能化(高速動作化)が可能となる。この技術は特に、第1の領域3をメモリセル領域、第2の領域4をその周辺回路領域(ロジック回路領域)とした半導体メモリに適用して好適である。

【0037】—変形例—

以下、第1の実施形態のいくつかの変形例について説明する。なお、これら変形例において第1の実施形態の半導体装置に相当する構成部材等については同符号を記して説明を省略する。

【0038】(変形例1) この変形例1では、第2の領域4にn型及びp型の各トランジスタを形成する際に、サイドウォール13の形成とソース/ドレイン14

の形成を連続した工程として行なう。

【0039】具体的には、図1(a)、(b)の各工程を経た後、図3(a)に示すように、第2の領域4のn型トランジスタとなるゲート電極7のみを開口するレジストマスク22を形成し、図1(c)と同様の手順でサイドウォール13を形成した後、n型不純物のイオン注入を行いn型ソース/ドレイン14を形成する。

【0040】続いて、図3(b)に示すように、レジストマスク22を灰化処理等により除去した後、今度は第2の領域4のp型トランジスタとなるゲート電極7のみを開口するレジストマスク23を形成し、同様にサイドウォール13を形成した後、p型不純物のイオン注入を行いp型ソース/ドレイン14を形成する。なお、n型、p型トランジスタに対する工程(サイドウォール形成、イオン注入)についてはn型、p型とで順序を逆にしてもよい。

【0041】続いて、レジストマスク23を灰化処理等により除去した後、図3(c)に示すように、図2

(a)と同様、各ソース/ドレイン14の表面に金属シリサイド21としてCoSiを周知のサリサイド・プロセスにより膜厚10nm程度に選択的に成長させる。

【0042】しかる後、図2(a)の残る工程及び図2(b)の各工程を経てコンタクト孔18、19を形成する。

【0043】変形例1によれば、第1の実施形態で説明した諸効果に加え、各導電型のトランジスタについて、サイドウォール13の形成用のマスクとイオン注入用のマスクとを兼ねる(レジストマスク22、23)ことにより、マスク数及び工程数を削減して効率の良い半導体製造が可能となる。

【0044】(変形例2) この変形例2では、2段階に分けたコンタクト孔18、19の形成工程を1段階で行なえるようにするものである。

【0045】具体的には、図1(a)~(c)の各工程を経た後、図4(a)に示すように、全面にBLC用の保護膜(第2の保護膜)としてシリコン窒化膜15を膜厚30nm程度に形成し、ゲート電極6、7を埋め込む層間絶縁膜16を膜厚400nm程度に形成する。

【0046】続いて、図4(b)に示すように、第2の領域4のゲート電極7の上面をストッパーとして、当該上面のシリコン窒化膜10の表面が現れる程度まで層間絶縁膜16をCMP法により研磨する。このとき、当該研磨により第1の領域3側のゲート電極6の上方に堆積したシリコン窒化膜10が除去される。

【0047】続いて、図4(c)に示すように、層間絶縁膜16の全面にフォトレジスト17を塗布してフォトリソグラフィによりフォトレジスト17に開孔17aを形成した後、フォトレジスト17をマスクとして、窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜16、その下層のシリコン窒化膜10、15

及びゲート絶縁膜5を異方性エッチングし、第1の領域3にはソース/ドレインとして機能するLDD拡散層8の表面、第2の領域4には金属シリサイド21の表面をそれぞれ露出させるコンタクト孔18, 19が形成される。

【0048】変形例2によれば、第1の実施形態で説明した諸効果に加え、コンタクト孔18, 19を形成する際に第1の領域3側のシリコン窒化膜15が除去されているために1回の異方性エッチングによりコンタクト孔18, 19を同時形成することが可能となり、工程の短縮化、簡略化が可能となる。

【0049】(変形例3) この変形例3では、変形例2と同様に、2段階に分けたコンタクト孔18, 19の形成工程を1段階で行なえるようにするものである。

【0050】具体的には、図1(a)～(c)の各工程を経た後、図5(a)に示すように、全面にBLC用の保護膜(第2の保護膜)としてシリコン窒化膜15を膜厚30nm程度に堆積形成する。

【0051】続いて、図5(b)に示すように、第2の領域4側を覆うレジストマスク24を形成し、フッ酸等の所定のウェットエッチャントを用いて等方性エッチングし、第1の領域3側を覆うシリコン窒化膜15を除去する。

【0052】続いて、図5(c)に示すように、ゲート電極6, 7を埋め込む層間絶縁膜16を形成した後、フォトリソグラフ17をマスクとして、窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜16、その下層のシリコン窒化膜10, 15及びゲート絶縁膜5を異方性エッチングし、第1の領域3にはソース/ドレインとして機能するLDD拡散層8の表面、第2の領域4には金属シリサイド21の表面をそれぞれ露出させるコンタクト孔18, 19が形成される。

【0053】変形例3によれば、第1の実施形態で説明した諸効果に加え、コンタクト孔18, 19を形成する際に第1の領域3側のシリコン窒化膜15が除去されているために1回の異方性エッチングによりコンタクト孔18, 19を同時形成することが可能となり、工程の短縮化、簡略化が可能となる。

【0054】(第2の実施形態) 第2の実施形態では、第1の実施形態を周辺回路(ロジック回路)領域を備えたDRAMに適用した一例について説明する。本実施形態では、便宜上、DRAMの構造をその製造方法と共に説明する。

【0055】図6は第2の実施形態によるDRAMを示す概略平面図であり、図7～図13は、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図(図6の線分I-I'に沿った断面図に対応する。)である。

【0056】先ず、図7(a)に示すように、p型シリコン半導体基板101の表面に素子活性領域を画定する

ために、半導体基板101上に初期酸化膜102を約850℃の熱酸化にて膜厚10nm程度に形成し、次にCVD法にてシリコン窒化膜103を膜厚150nm程度に堆積形成する。そして、素子分離領域となる部位を開くレジストマスク(不図示)を形成し、シリコン窒化膜103及び初期酸化膜102、続いて半導体基板101を300nm程度異方性エッチングして素子分離領域となる部位に溝104を形成する。

【0057】続いて、図7(b)に示すように、CVD法により溝104を埋め込むようにシリコン酸化膜を600nm程度堆積し、シリコン窒化膜103をストップアとしてこのシリコン酸化膜をCMP法により150nm程度研磨した後、シリコン窒化膜103を除去する。そして、半導体基板101の表面に約850℃の熱酸化にて膜厚10nm程度の犠牲酸化膜105を形成することにより、溝104をシリコン酸化膜にて埋め込むトレンチ型の素子分離構造106が形成される。このとき、素子分離構造106により素子活性領域が画定され、第1の領域であるメモリセル領域107と、第2の領域である周辺回路領域(ロジック回路領域)108が形成される。

【0058】続いて、図7(c)に示すように、メモリセル領域107及び周辺回路領域108に犠牲酸化膜105を介してp型不純物(B:ホウ素)を200KeV, $1 \times 10^{13} / \text{cm}^2$ 、n型不純物(P:リン)を800KeV, $1 \times 10^{13} / \text{cm}^2$ の加速エネルギー、ドーズ量でそれぞれイオン注入し、pウェル領域111及びnウェル領域112を形成する。

【0059】次に、各種トランジスタのしきい値(V_{th})制御のためのイオン注入を行なう。例えばメモリセル領域107であれば、ホウ素を20KeV, $1 \times 10^{13} / \text{cm}^2$ の加速エネルギー、ドーズ量の各条件で注入する。

【0060】次に、犠牲酸化膜105を除去した後、メモリセル領域107及び周辺回路領域108の表面に約850℃の熱酸化にて膜厚10nm程度のゲート絶縁膜109を形成する。

【0061】次に、不純物がドーパされたアモルファスシリコン(Doped Amorphous Silicon: DASI)膜113、バリアメタル膜114、メタル膜115、反射防止膜となるシリコン窒化酸化膜116、SAC用のシリコン窒化膜117をそれぞれ膜厚70nm、30nm、40nm、40nm、120nm程度に順次形成し、これらにフォトリソグラフィー及びそれに続くエッチングを施してゲート電極118, 119をパターン形成する。ここで、ゲート電極118がメモリセル領域107に、ゲート電極119が周辺回路領域108に形成されることになる。なお、図中、素子分離構造106を跨ぐようなゲート電極108, 109が示されているが、これらは素子活性領域から素子分離領域にかけて形成され

たものであり、断面図上で素子分離構造106上に形成されているように表されているに過ぎない。

【0062】次に、pウェル領域111、nウェル領域112の各々にイオン注入し、LDD拡散層121a、121b（第1の不純物拡散層）を形成する。このとき、メモリセル領域107では、ゲート電極118及びソース／ドレインとして機能するLDD拡散層121aからトランジスタTr1が構成される。

【0063】続いて、図8（a）に示すように、CVD法により全面にSAC用の保護膜としてシリコン窒化膜122を膜厚30nm程度に形成した後、サイドウォール形成用のシリコン酸化膜123を膜厚50nm程度に形成する。ここで、メモリセル領域107の隣接するゲート電極118間（間隔：0.15μm以下）はシリコン酸化膜123で埋め込まれることになる。

【0064】続いて、図8（b）に示すように、フォトリソグレイを塗布し、フォトリソグレイによりメモリセル領域107を覆う形状のレジストマスク124を形成する。そして、周辺回路領域108のLDD拡散層121の表面が露出するまで全面を異方性エッチングし、周辺回路領域108のゲート電極119の側面にシリコン酸化膜123からなるサイドウォール125を形成する。

【0065】続いて、図8（c）に示すように、レジストマスク124を灰化処理等により除去した後、周辺回路領域108のnチャネル側にはn型不純物を、pチャネル側にはp型不純物をそれぞれイオン注入し、LDD拡散層121a、121bと接合されるソース／ドレイン126（n⁺）、127（p⁺）（それぞれ第1及び第2の不純物拡散層）をそれぞれ形成する。このとき、周辺回路領域108には、ゲート電極119及びソース／ドレイン126（n⁺）からなるn型トランジスタTr2（n）と、ゲート電極119及びソース／ドレイン127（p⁺）からなるp型トランジスタTr2（p）とが構成される。

【0066】次に、周辺回路領域108の露出したソース／ドレイン126（n⁺）、127（p⁺）の表面に金属シリサイド128としてCoSiを周知のサリサイド・プロセスにより膜厚10nm程度に選択的に成長させる。

【0067】次に、CVD法により全面にBLC用の保護膜としてシリコン窒化膜129を周辺回路領域108のゲート電極119間をサイドウォール125の膜厚との合計で埋め込まない程度の膜厚、ここでは30nm程度に堆積形成した後、シリコン酸化膜を膜厚600nm程度に堆積してゲート電極118、119を埋め込む層間絶縁膜131を形成し、化学機械研磨法（CMP法）により層間絶縁膜131の表面を400nm程度研磨して平坦化する。

【0068】続いて、DRAMのメモリキャパシタ用の

コンタクト孔（蓄積電極コンタクト孔）を形成する。先ず、図9（a）に示すように、層間絶縁膜131の全面にフォトリソグレイを塗布し、フォトリソグレイによりフォトリソグレイにドレインコンタクト形成用の開孔132aを形成する。

【0069】次に、フォトリソグレイをマスクとして、メモリセル領域107について、層間絶縁膜131及びシリコン窒化膜129を異方性エッチング（第1のエッチング）する。この第1のエッチングでは、窒化膜と酸化膜との選択比の低いエッチングガスを用いてシリコン窒化膜129が十分にエッチングされる程度の深さ（300nm程度）に行なう。

【0070】続いて、図9（b）に示すように、今度は窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜131及びゲート絶縁膜109のエッチング（第2のエッチング）を行なう。このとき、メモリセル領域107のゲート電極118間の間隔が狭くとも、シリコン窒化膜129によりゲート電極118がエッチングから保護されてメモリセル領域107にはソース／ドレインとして機能するLDD拡散層121aの表面を露出させるコンタクト孔133が形成される。

【0071】続いて、フォトリソグレイを灰化処理等により除去した後、図9（c）に示すように、コンタクト孔133を十分埋め込む膜厚、ここでは150nm程度にDASIを堆積し、CMPにより層間絶縁膜131の表面が露出するまで研磨して、コンタクト孔133をDASIで充填するコンタクトプラグ134を形成する。

【0072】続いて、メモリセル領域107にはトランジスタTr1のビットコンタクト孔を、周辺回路領域108にはトランジスタTr2（n）、Tr2（p）のソース／ドレインコンタクト孔を形成する。

【0073】先ず、図10（a）に示すように、層間絶縁膜131の全面にフォトリソグレイを塗布し、フォトリソグレイによりフォトリソグレイにビットコンタクト形成用の開孔135a及びソース／ドレインコンタクト形成用の開孔135bを形成する。

【0074】次に、フォトリソグレイをマスクとして、メモリセル領域107については層間絶縁膜131及びシリコン窒化膜129を、周辺回路領域108については層間絶縁膜131を異方性エッチング（第1のエッチング）する。この第1のエッチングでは、窒化膜と酸化膜との選択比の低いエッチングガスを用いてシリコン窒化膜129が十分にエッチングされる程度の深さ（300nm程度）に行なう。

【0075】続いて、図10（b）に示すように、今度は窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜131及びゲート絶縁膜109のエッチング（第2のエッチング）を行なう。このとき、メモリセル領域107のゲート電極118間の間隔が狭くと

15

も、又は周辺回路領域108のゲート電極119間の間隔が狭くとも、シリコン窒化膜122、129によりゲート電極118、119がエッチングから保護されてメモリセル領域107にはソース／ドレインとして機能するLDD拡散層121の表面を露出させるコンタクト孔（ビットコンタクト孔）136が、周辺回路領域108には金属シリサイド128の表面を露出させるコンタクト孔（ソース／ドレインコンタクト孔）137がそれぞれ形成される。

【0076】続いて、フォトリソレジスト135を灰化処理等により除去した後、図11(a)に示すように、コンタクト孔136、137の内壁面を覆うようにバリアメタル膜138を膜厚30nm程度に形成し、コンタクト孔136、137を十分に埋め込むようにメタル膜を形成した後、CMPにより層間絶縁膜131の表面が露出するまで研磨して、コンタクト孔136、137を前記メタル膜で充填するコンタクトプラグ151、152を形成する。

【0077】次に、層間絶縁膜131上にバリアメタル膜153、メタル膜154、反射防止膜となるシリコン窒化酸化膜155、シリコン窒化膜156をそれぞれ膜厚30nm、80nm、50nm、130nm程度に順次形成し、これらにフォトリソグラフィ及びそれに続くエッチングを施して、コンタクトプラグ151と接続されるビット線157、コンタクトプラグ152と接続される配線層158をパターン形成する。

【0078】次に、全面にシリコン窒化膜を膜厚30nm程度に堆積形成した後、全面を異方性エッチングしてビット線157、配線層158の各側面にサイドウォール159を形成する。

【0079】続いて、コンタクトプラグ134を介してメモリセル領域107のトランジスタ141のLDD拡散層121と接続されるメモリキャパシタ171を形成する。先ず、図11(b)に示すように、ビット線157、配線層158を埋め込むようにシリコン酸化膜を膜厚600nm程度に堆積形成して層間絶縁膜161を形成し、CMPにより表面を研磨して平坦化する。

【0080】次に、コンタクトプラグ134と接続されるように、層間絶縁膜161をフォトリソグラフィ及びそれに続くエッチングにより開孔し、コンタクト孔162を形成する。

【0081】次に、コンタクト孔162を十分埋め込む膜厚、ここでは150nm程度にDASIを堆積し、CMPにより層間絶縁膜161の表面が露出するまで研磨して、コンタクト孔162をDASIで充填しコンタクトプラグ134と接続されるコンタクトプラグ163を形成する。

【0082】続いて、図12に示すように、層間絶縁膜161上にDASIを膜厚700nm程度に堆積形成し、フォトリソグラフィ及びそれに続くエッチングに

16

よりパターニングして、コンタクトプラグ163と接続されるストレージノード電極164を形成する。

【0083】次に、ストレージノード電極164を覆うようにTaO、SiN、SiON等をCVD法により膜厚5nm程度に堆積して誘電体膜165を形成した後、DASIを膜厚100nm程度に堆積形成し、フォトリソグラフィ及びそれに続くエッチングにより当該DASI及びその下層の誘電体膜165をパターニングして、セルプレート電極166を形成する。このとき、ストレージノード電極164とセルプレート電極166とが誘電体膜165を介して容量結合するメモリキャパシタ171が完成する。

【0084】続いて、上層配線層181をパターン形成する。図13に示すように、先ずメモリキャパシタ171を埋め込むように、シリコン酸化膜を膜厚1000nm程度に堆積して層間絶縁膜167を形成し、CMPにより表面を研磨して平坦化する。

【0085】次に、例えば図示のビット線157、158と接続するためのコンタクト孔を層間絶縁膜167、161に開孔し、コンタクトプラグ151、152と同様にバリアメタル膜を介して前記コンタクト孔を充填するメタル膜（コンタクト孔、バリアメタル膜と共に図示を省略する。）を形成する。

【0086】次に、バリアメタル膜172、メタル膜173をそれぞれ膜厚30nm程度、400nm程度に順次形成し、フォトリソグラフィ及びそれに続くエッチングによりパターニングして、上層配線層181を形成する。しかる後、全面を覆うように保護膜174を形成し、DRAMを完成させる。

【0087】なお、本発明は上記の実施形態に限定されるものではない。例えば、上層配線層181を単層としたが、これを更に重ねた2層以上の多層配線層を形成するようにしてもよい。また、本発明はDRAMのみならず、フラッシュメモリ等の不揮発性半導体メモリにも適用可能である。

【0088】以上説明したように、本実施形態のDRAMの製造方法によれば、周辺回路領域108のトランジスタTr2(n)、Tr2(p)におけるソース／ドレインのシリサイド化と、BLCやSACの自己整合化技術とを共に適用し、周辺回路領域108のトランジスタTr2(n)、Tr2(p)に金属シリサイド21を備えたDRAMの更なる高集積化及び高性能化（高速動作化）が可能となる。

【0089】一変形例—以下、第2の実施形態のいくつかの変形例について説明する。なお、これらの変形例において第2の実施形態の半導体装置に相当する構成部材等については同符号を記して説明を省略する。

【0090】（変形例1）この変形例1では、周辺回路領域108にn型及びp型の各トランジスタTr2(n)、Tr2(p)を形成するに際して、サイドウォ

50

17

ール125の形成とソース／ドレイン126 (n^+), 127 (p^+) の形成を連続した工程として行なう。

【0091】具体的には、図7(a)～(c)、図8

(a)の各工程を経た後、図14(a)に示すように、周辺回路領域108のn型トランジスタTr2 (n) となるゲート電極119のみを開口するレジストマスク201を形成し、図8(b)と同様の手順でサイドウォール125を形成した後、n型不純物のイオン注入を行いn型ソース／ドレイン126 (n^+) を形成する。

【0092】続いて、図14(b)に示すように、レジストマスク201を灰化处理等により除去した後、今度は周辺回路領域108のp型トランジスタTr2 (p) となるゲート電極119のみを開口するレジストマスク202を形成し、同様にサイドウォール125を形成した後、p型不純物のイオン注入を行いp型ソース／ドレイン127 (p^+) を形成する。なお、n型、p型トランジスタに対する工程(サイドウォール形成、イオン注入)についてはn型、p型とで順序を逆にしてもよい。

【0093】続いて、レジストマスク202を灰化处理等により除去した後、図8(c)と同様に、ソース／ドレイン126 (n^+), 127 (p^+) の表面に金属シリサイド128としてCoSiを周知のサリサイド・プロセスにより膜厚10nm程度に選択的に成長させた後、層間絶縁膜131を形成して表面を平坦化する。

【0094】しかる後、図9～図13の各工程を経て、DRAMを完成させる。

【0095】変形例1によれば、第2の実施形態で説明した諸効果に加え、各導電型のトランジスタTr2 (n), Tr2 (p) について、サイドウォール125の形成用のマスクとイオン注入用のマスクとを兼ねることにより、マスク数及び工程数を削減して効率の良いDRAMの製造が可能となる。

【0096】(変形例2) この変形例2では、2段階に分けたメモリキャパシタ用のコンタクト孔133の形成工程を1段階で行なえるようにするものである。

【0097】具体的には、図7(a)～(c)、図8(a), (b)の各工程を経た後、図8(c)と同様、全面にBLC用の保護膜としてシリコン窒化膜129を膜厚30nm程度に形成し、ゲート電極118, 119を埋め込む層間絶縁膜131を膜厚600nm程度に形成する。

【0098】続いて、図15(a)に示すように、周辺回路領域108のゲート電極118, 119の上面をストッパーとして、当該上面のシリコン窒化膜122の表面が現れる程度まで層間絶縁膜131をCMP法により研磨する。このとき、当該研磨によりメモリセル領域107側のゲート電極118の上方に堆積したシリコン窒化膜129が除去される。

【0099】続いて、図15(b)に示すように、層間絶縁膜131の全面にフォトレジスト203を塗布して 50

18

フォトリソグラフィによりフォトレジスト203に開孔203aを形成した後、フォトレジスト203をマスクとして、窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜131、その下層のシリコン窒化膜122, 129及びゲート絶縁膜109を異方性エッチングし、メモリセル領域107にソース／ドレインとして機能するLDD拡散層121の表面を露出させるコンタクト孔133が形成される。

【0100】同様に、コンタクト孔136, 137についても、窒化膜と酸化膜との選択比の高いエッチングガスを用いた1回の異方性エッチングにより形成することができる。

【0101】しかる後、図11～図13の各工程を経て、DRAMを完成させる。

【0102】変形例2によれば、第2の実施形態で説明した諸効果に加え、コンタクト孔133を形成する際にメモリセル領域107側のシリコン窒化膜129が除去されているために1回の異方性エッチングによりコンタクト孔133を、同様に1回の異方性エッチングによりコンタクト孔136, 137をそれぞれ形成することができ、工程の短縮化、簡略化が可能となる。

【0103】(変形例3) この変形例3では、変形例2と同様に、2段階に分けたコンタクト孔133の形成工程を1段階で行なえるようにするものである。

【0104】具体的には、図7(a)～(c)、図8(a), (b)の各工程を経た後、図8(c)と同様、図16(a)に示すように、全面にBLC用の保護膜としてシリコン窒化膜129を膜厚30nm程度に堆積形成する。

【0105】続いて、図16(b)に示すように、周辺回路領域108側を覆うレジストマスク204を形成し、フッ酸等の所定のウェットエッチャントを用いて等方性エッチングし、メモリセル領域107側を覆うシリコン窒化膜129を除去する。

【0106】続いて、図17(a)に示すように、ゲート電極118, 119を埋め込む層間絶縁膜131を形成し、表面を平坦化した後、フォトレジストをマスクとして、窒化膜と酸化膜との選択比の高いエッチングガスを用いて層間絶縁膜131、その下層のシリコン窒化膜122及びゲート絶縁膜109を異方性エッチングし、メモリセル領域107にソース／ドレインとして機能するLDD拡散層121の表面を露出させるコンタクト孔133を形成する。

【0107】次に、コンタクト孔133を十分埋め込む膜厚、ここでは150nm程度にDASIを堆積し、CMPにより層間絶縁膜131の表面が露出するまで研磨して、コンタクト孔133をDASIで充填するコンタクトプラグ134を形成する。

【0108】続いて、図17(b)に示すように、フォトレジストをマスクとして、窒化膜と酸化膜との選択比

のシリコン酸化膜 11 をゲート電極 6 間を埋め込む膜厚、ここでは 50 nm 程度に堆積形成する。当該膜厚は、第 1 の領域 3 における隣接するゲート電極 6 間の距離が 150 nm 以下であれば、当該ゲート電極 6 間は図示の如くシリコン酸化膜 11 で埋め込まれる程度の値である。

【0117】続いて、図18(c)に示すように、第1の領域3のみを覆うレジストマスク12を形成し、第2の領域4のLDD拡散層9が露出するまで、シリコン酸化膜11及びシリコン窒化膜10について全面異方性エッチングする。このとき、LDD拡散層9が露出するとともに、ゲート電極7の側面にシリコン酸化膜11からなるサイドウォール13が形成される。

【0118】次に、ゲート電極7及びサイドウォール13をマスクとして、LDD拡散層9と一部重なるようにイオン注入し、LDD拡散層9を含むソース／ドレイン14（第1及び第2の不純物拡散層）を形成する。第2の領域4については、ゲート電極7とLDD構造のソース／ドレイン14とを備えてトランジスタTr2が構成される。このとき、当該イオン注入時のマスクをサイドウォール13の形成時に兼用することが好適である。このように、イオン注入用のマスクとサイドウォール13の形成用のマスクとを兼ねることにより、マスク数及び工程数を削減して効率の良い半導体製造が可能となる。

【0119】次に、図19(a)に示すように、レジストマスク12を灰化処理等により除去した後、例えば()により、第1の領域3のシリコン酸化膜11及び第2の領域4のサイドウォール13を除去する。そして、ソース／ドレイン14の表面に金属シリサイド21としてCoSiを周知のシリサイド・プロセスにより膜厚10nm程度に選択的に成長させる。

【0120】続いて、図19(b)に示すように、CVD法により全面にBLC用の保護膜(第2の保護膜)としてシリコン窒化膜15を第1の領域3のゲート電極6間をシリコン窒化膜10との合計で埋め込まない程度の膜厚、ここでは30nm程度に堆積形成する。

【0121】次に、CVD法によりシリコン酸化膜を膜厚600nm程度に堆積してゲート電極6、7間を埋め込む層間絶縁膜16を形成し、化学機械研磨法(CMP法)により層間絶縁膜16の表面を400nm程度研磨して平坦化する。

【0122】次に、図20(a)に示すように、層間絶縁膜16の全面にフォトレジスト17を塗布し、フォトリソグラフィによりフォトレジスト17に開孔17aを形成する。

【0123】次に、フォトレジスト17をマスクとして、層間絶縁膜16及びゲート絶縁膜5を異方性ドライエッチングする。このとき、第1の領域3のゲート電極6間の間隔が狭くとも、又は第2の領域4のゲート電極7のコンタクト領域が小さくとも、シリコン窒化膜1

【0116】次に、続くサイドウォールを形成するため

0, 15, 31によりゲート電極6, 7がエッチングから保護されて第1の領域3にはソース/ドレインとして機能するLDD拡散層8の表面、第2の領域4には金属シリサイド21の表面をそれぞれ露出させるコンタクト孔18, 19が形成される。

【0124】即ち、コンタクト孔18を形成する際に、図中で上方から見ればゲート電極6を覆うシリコン窒化膜10の膜厚はLDD拡散層8を覆うシリコン窒化膜10の膜厚に比して実質的に厚いため、ゲート電極6を覆うシリコン窒化膜10がエッチングされる前にLDD拡散層8を覆うシリコン窒化膜10がエッチング除去されることになる。他方、コンタクト孔19の場合も同様に、図中で上方から見ればゲート電極7を覆うシリコン窒化膜15の膜厚は金属シリサイド21を覆うシリコン窒化膜15の膜厚に比して実質的に厚いため、ゲート電極7を覆うシリコン窒化膜15がエッチングされる前に金属シリサイド21を覆うシリコン窒化膜15がエッチング除去される。

【0125】そして、図20(b)に示すように、フォトリソグラフィ17を灰化処理等により除去する。しかる後、コンタクト孔18, 19を埋め込み層間絶縁膜16上で延在する配線層、全面を覆う保護層等を形成し、半導体装置を完成させる。

【0126】このように、第3の実施形態の半導体装置の製造方法によれば、第2の領域4のトランジスタにおけるソース/ドレインのシリサイド化と、BLCやSACの自己整合化技術とを共に適用し、第2の領域4のトランジスタに金属シリサイド21を備えた半導体装置の更なる高集積化及び高性能化(高速動作化)が可能となる。

【0127】更に、第2の領域4のトランジスタに対しては十分な膜厚でサイドウォール13を形成できるため、安定した特性のトランジスタを形成することができる。更に、第2の保護膜であるシリコン窒化膜15の形成前に、第1の領域3に存する絶縁膜11及び第2の領域4に存するサイドウォール13を除去することにより、第1及び第2の領域3, 4のゲート電極6, 7の側壁には第1及び第2の保護膜であるシリコン窒化膜10, 15が形成されるため、SAC用のシリコン窒化膜10に加えて、BLC用のシリコン窒化膜15をSAC用の保護膜として利用できる。これにより、第1及び第2の領域3, 4に形成したコンタクト孔(接続孔)18, 19の絶縁耐圧を更に向上させることができる。

【0128】この技術は特に、第1の領域3をメモリセル領域、第2の領域4をその周辺回路領域(ロジック回路領域)とした半導体メモリに適用して好適である。

【0129】—変形例—

以下、第3の実施形態の変形例について説明する。なお、この変形例において、第3の実施形態の半導体装置に相当する構成部材等については同符号を記して説明を

省略する。

【0130】この変形例では、第2の領域4にn型及びp型の各トランジスタを形成するに際して、サイドウォール13の形成とソース/ドレイン14の形成を連続した工程として行なう。

【0131】具体的には、図18(a), (b)の各工程を経た後、図21(a)に示すように、第2の領域4のn型トランジスタとなるゲート電極7のみを開口するレジストマスク22を形成し、図18(c)と同様の手順でサイドウォール13を形成した後、n型不純物のイオン注入を行いn型ソース/ドレイン14を形成する。

【0132】続いて、図21(b)に示すように、レジストマスク22を灰化処理等により除去した後、今度は第2の領域4のp型トランジスタとなるゲート電極7のみを開口するレジストマスク23を形成し、同様にサイドウォール13を形成した後、p型不純物のイオン注入を行いp型ソース/ドレイン14を形成する。なお、n型、p型トランジスタに対する工程(サイドウォール形成、イオン注入)についてはn型、p型とで順序を逆にしてもよい。

【0133】続いて、レジストマスク23を灰化処理等により除去した後、図21(c)に示すように、図19(a), (b)と同様、第1の領域3の絶縁膜11及び第2の領域のサイドウォール13を除去し、各ソース/ドレイン14の表面に金属シリサイド21としてCoSiを周知のシリサイド・プロセスにより膜厚10nm程度に選択的に成長させる。

【0134】しかる後、図19(c)及び図20の各工程を経てコンタクト孔18, 19を形成する。

【0135】この変形例によれば、第3の実施形態で説明した諸効果に加え、各導電型のトランジスタについて、サイドウォール13の形成用のマスクとイオン注入用のマスクとを兼ねる(レジストマスク22, 23)ことにより、マスク数及び工程数を削減して効率の良い半導体製造が可能となる。

【0136】(第4の実施形態)第4の実施形態では、第3の実施形態を周辺回路(ロジック回路)領域を備えたDRAMに適用した一例について説明する。本実施形態では、便宜上、DRAMの構造をその製造方法と共に説明し、第2の実施形態のDRAMと同様の構成部材等については同符号を記す。

【0137】図22は第4の実施形態によるDRAMを示す概略平面図であり、図23～図29は、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図(図22の線分I-I'に沿った断面図に対応する。)である。

【0138】先ず、図23(a)に示すように、p型シリコン半導体基板101の表面に素子活性領域を画定するために、半導体基板101上に初期酸化膜102を約850℃の熱酸化にて膜厚10nm程度に形成し、次に

10

20

30

40

50

23

CVD法にてシリコン窒化膜103を膜厚150nm程度に堆積形成する。そして、素子分離領域となる部位を開孔するレジストマスク（不図示）を形成し、シリコン窒化膜103及び初期酸化膜102、続いて半導体基板101を300nm程度異方性エッチングして素子分離領域となる部位に溝104を形成する。

【0139】続いて、図23（b）に示すように、CVD法により溝104を埋め込むようにシリコン酸化膜を600nm程度堆積し、シリコン窒化膜103をストップパーとしてこのシリコン酸化膜をCMP法により150nm程度研磨した後、シリコン窒化膜103を除去する。そして、半導体基板101の表面に約850℃の熱酸化にて膜厚10nm程度の犠牲酸化膜105を形成することにより、溝104をシリコン酸化膜にて埋め込むトレンチ型の素子分離構造106が形成される。このとき、素子分離構造106により素子活性領域が画定され、第1の領域であるメモリセル領域107と、第2の領域である周辺回路領域（ロジック回路領域）108が形成される。

【0140】続いて、図23（c）に示すように、メモリセル領域107及び周辺回路領域108に犠牲酸化膜105を介してp型不純物（B：ホウ素）を200KeV、 $1 \times 10^{13} / \text{cm}^2$ 、n型不純物（P：リン）を800KeV、 $1 \times 10^{13} / \text{cm}^2$ の加速エネルギー、ドーズ量でそれぞれイオン注入し、pウェル領域111及びnウェル領域112を形成する。

【0141】次に、各種トランジスタのしきい値（ V_{th} ）制御のためのイオン注入を行なう。例えばメモリセル領域107であれば、ホウ素を20KeV、 $1 \times 10^{13} / \text{cm}^2$ の加速エネルギー、ドーズ量の各条件で注入する。

【0142】次に、犠牲酸化膜105を除去した後、メモリセル領域107及び周辺回路領域108の表面に約850℃の熱酸化にて膜厚10nm程度のゲート絶縁膜109を形成する。

【0143】次に、不純物がドーブされたアモルファスシリコン（DASI）膜113、バリアメタル膜114、メタル膜115、反射防止膜となるシリコン窒化酸化膜116、SAC用のシリコン窒化膜117をそれぞれ膜厚70nm、30nm、40nm、40nm、120nm程度に順次形成し、これらにフォトリソグラフィー及びそれに続くエッチングを施してゲート電極118、119をパターン形成する。ここで、ゲート電極118がメモリセル領域107に、ゲート電極119が周辺回路領域108に形成されることになる。なお、図中、素子分離構造106を跨ぐようなゲート電極108、109が示されているが、これらは素子活性領域から素子分離領域にかけて形成されたものであり、断面図上で素子分離構造106上に形成されているように表されているに過ぎない。

24

【0144】次に、pウェル領域111、nウェル領域112の各々にイオン注入し、LDD拡散層121a、121b（第1の不純物拡散層）を形成する。このとき、メモリセル領域107では、ゲート電極118及びソース／ドレインとして機能するLDD拡散層121aからトランジスタTr1が構成される。

【0145】続いて、図24（a）に示すように、CVD法により全面にSAC用の保護膜としてシリコン窒化膜122を膜厚30nm程度に形成した後、サイドウォール形成用のシリコン酸化膜123を膜厚50nm程度に形成する。

【0146】続いて、図24（b）に示すように、フォトレジストを塗布し、フォトリソグラフィーによりメモリセル領域107を覆う形状のレジストマスク124を形成する。そして、周辺回路領域108のLDD拡散層121の表面が露出するまで全面を異方性エッチングし、周辺回路領域108のゲート電極119の側面にシリコン酸化膜123からなるサイドウォール125を形成する。

【0147】続いて、図24（c）に示すように、レジストマスク124を灰化处理等により除去した後、周辺回路領域108のnチャネル側にはn型不純物を、pチャネル側にはp型不純物をそれぞれイオン注入し、LDD拡散層121a、121bと接合されるソース／ドレイン126（ n^+ ）、127（ p^+ ）（それぞれ第1及び第2の不純物拡散層）をそれぞれ形成する。このとき、周辺回路領域108には、ゲート電極119及びソース／ドレイン126（ n^+ ）からなるn型トランジスタTr2（n）と、ゲート電極119及びソース／ドレイン127（ p^+ ）からなるp型トランジスタTr2（p）とが構成される。

【0148】次に、例えば（ ）により、シリコン酸化膜123及びサイドウォール125を除去し、周辺回路領域108の露出したソース／ドレイン126

（ n^+ ）、127（ p^+ ）の表面に金属シリサイド128としてCoSiを周知のシリサイド・プロセスにより膜厚10nm程度に選択的に成長させる。

【0149】次に、CVD法により全面にBLC用の保護膜としてシリコン窒化膜129をメモリセル領域107のゲート電極118間をシリコン窒化膜122の膜厚との合計で埋め込まない程度の膜厚、ここでは30nm程度に堆積形成した後、シリコン酸化膜を膜厚600nm程度に堆積してゲート電極118、119を埋め込む層間絶縁膜131を形成し、化学機械研磨法（CMP法）により層間絶縁膜131の表面を400nm程度研磨して平坦化する。

【0150】続いて、DRAMのメモリキャパシタ用のコンタクト孔（蓄積電極コンタクト孔）を形成する。先ず、図25（a）に示すように、層間絶縁膜131の全面にフォトレジスト132を塗布し、フォトリソグラフ

イーによりフォトレジスト132にドレインコンタクト形成用の開孔132aを形成する。

【0151】次に、図25(b)に示すように、フォトレジスト132をマスクとして、メモリセル領域107について、層間絶縁膜131、シリコン窒化膜129及びゲート絶縁膜109を異方性エッチングする。これにより、メモリセル領域107のゲート電極118間の間隔が狭くとも、シリコン窒化膜128、129によりゲート電極118がエッチングから保護されてメモリセル領域107にはソース/ドレインとして機能するLDD拡散層121aの表面を露出させるコンタクト孔133が形成される。

【0152】続いて、フォトレジスト132を灰化处理等により除去した後、図25(c)に示すように、コンタクト孔133を十分埋め込む膜厚、ここでは150nm程度にDASIを堆積し、CMPにより層間絶縁膜131の表面が露出するまで研磨して、コンタクト孔133をDASIで充填するコンタクトプラグ134を形成する。

【0153】続いて、メモリセル領域107にはトランジスタTr1のビットコンタクト孔を、周辺回路領域108にはトランジスタTr2(n)、Tr2(p)のソース/ドレインコンタクト孔を形成する。

【0154】先ず、図26(a)に示すように、層間絶縁膜131の全面にフォトレジスト135を塗布し、フォトリソグラフィによりフォトレジスト135にビットコンタクト形成用の開孔135a及びソース/ドレインコンタクト形成用の開孔135bを形成する。

【0155】次に、図26(b)に示すように、フォトレジスト135をマスクとして、メモリセル領域107及び周辺回路領域108の双方について、層間絶縁膜131、シリコン窒化膜122、129及びゲート絶縁膜109を異方性エッチングする。これにより、メモリセル領域107のゲート電極118間の間隔が狭くとも、又は周辺回路領域108のゲート電極119間の間隔が狭くとも、シリコン窒化膜122、129によりゲート電極118、119がエッチングから保護されてメモリセル領域107にはソース/ドレインとして機能するLDD拡散層121の表面を露出させるコンタクト孔(ビットコンタクト孔)136が、周辺回路領域108には金属シリサイド128の表面を露出させるコンタクト孔(ソース/ドレインコンタクト孔)137がそれぞれ形成される。

【0156】続いて、フォトレジスト135を灰化处理等により除去した後、図27(a)に示すように、コンタクト孔136、137の内壁面を覆うようにバリアメタル膜138を膜厚30nm程度に形成し、コンタクト孔136、137を十分に埋め込むようにメタル膜を形成した後、CMPにより層間絶縁膜131の表面が露出するまで研磨して、コンタクト孔136、137を前記

メタル膜で充填するコンタクトプラグ151、152を形成する。

【0157】次に、層間絶縁膜131上にバリアメタル膜153、メタル膜154、反射防止膜となるシリコン窒化酸化膜155、シリコン窒化膜156をそれぞれ膜厚30nm、80nm、50nm、130nm程度に順次形成し、これらにフォトリソグラフィ及びそれに続くエッチングを施して、コンタクトプラグ151と接続されるビット線157、コンタクトプラグ152と接続される配線層158をパターン形成する。

【0158】次に、全面にシリコン窒化膜を膜厚30nm程度に堆積形成した後、全面を異方性エッチングしてビット線157、配線層158の各側面にサイドウォール159を形成する。

【0159】続いて、コンタクトプラグ134を介してメモリセル領域107のトランジスタ141のLDD拡散層121と接続されるメモリキャパシタ171を形成する。先ず、図27(b)に示すように、ビット線157、配線層158を埋め込むようにシリコン酸化膜を膜厚600nm程度に堆積形成して層間絶縁膜161を形成し、CMPにより表面を研磨して平坦化する。

【0160】次に、コンタクトプラグ134と接続されるように、層間絶縁膜161をフォトリソグラフィ及びそれに続くエッチングにより開孔し、コンタクト孔162を形成する。

【0161】次に、コンタクト孔162を十分埋め込む膜厚、ここでは150nm程度にDASIを堆積し、CMPにより層間絶縁膜161の表面が露出するまで研磨して、コンタクト孔162をDASIで充填しコンタクトプラグ134と接続されるコンタクトプラグ163を形成する。

【0162】続いて、図28に示すように、層間絶縁膜161上にDASIを膜厚700nm程度に堆積形成し、フォトリソグラフィ及びそれに続くエッチングによりパターニングして、コンタクトプラグ163と接続されるストレージノード電極164を形成する。

【0163】次に、ストレージノード電極164を覆うようにTaO、SiN、SiON等をCVD法により膜厚5nm程度に堆積して誘電体膜165を形成した後、DASIを膜厚100nm程度に堆積形成し、フォトリソグラフィ及びそれに続くエッチングにより当該DASI及びその下層の誘電体膜165をパターニングして、セルプレート電極166を形成する。このとき、ストレージノード電極164とセルプレート電極166とが誘電体膜165を介して容量結合するメモリキャパシタ171が完成する。

【0164】続いて、上層配線層181をパターン形成する。図29に示すように、先ずメモリキャパシタ171を埋め込むように、シリコン酸化膜を膜厚1000nm程度に堆積して層間絶縁膜167を形成し、CMPに

27

より表面を研磨して平坦化する。

【0165】次に、例えば図示のビット線157、158と接続するためのコンタクト孔を層間絶縁膜167、161に開孔し、コンタクトプラグ151、152と同様にバリアメタル膜を介して前記コンタクト孔を充填するメタル膜（コンタクト孔、バリアメタル膜と共に図示を省略する。）を形成する。

【0166】次に、バリアメタル膜172、メタル膜173をそれぞれ膜厚30nm程度、400nm程度に順次形成し、フォトリソグラフィ及びそれに続くエッチングによりパターンニングして、上層配線層181を形成する。しかる後、全面を覆うように保護膜174を形成し、DRAMを完成させる。

【0167】なお、本発明は上記の実施形態に限定されるものではない。例えば、上層配線層181を単層としたが、これを更に重ねた2層以上の多層配線層を形成するようにしてもよい。また、本発明はDRAMのみならず、フラッシュメモリ等の不揮発性半導体メモリにも適用可能である。

【0168】以上説明したように、本実施形態のDRAMの製造方法によれば、周辺回路領域108のトランジスタTr2(n)、Tr2(p)におけるソース／ドレインのシリサイド化と、BLCやSACの自己整合化技術とを共に適用し、周辺回路領域108のトランジスタTr2(n)、Tr2(p)に金属シリサイド21を備えたDRAMの更なる高集積化及び高性能化（高速動作化）が可能となる。

【0169】更に、周辺回路領域108のトランジスタに対しては十分な膜厚でサイドウォール125を形成できるため、安定した特性のトランジスタを形成することができる。更に、第2の保護膜であるシリコン窒化膜129の形成前に、メモリセル領域107に存する絶縁膜121及び周辺回路領域108に存するサイドウォール125を除去することにより、メモリセル領域107及び周辺回路領域108のゲート電極118、119の側壁には第1及び第2の保護膜であるシリコン窒化膜122、129が形成されるため、SAC用のシリコン窒化膜122に加えて、BLC用のシリコン窒化膜129をSAC用の保護膜として利用できる。これにより、メモリセル領域107及び周辺回路領域108に形成したコンタクト孔（接続孔）133、136、137の絶縁耐圧を更に向上させることができる。

【0170】－変形例－

以下、第4の実施形態の変形例について説明する。なお、この変形例において第4の実施形態の半導体装置に相当する構成部材等については同符号を記して説明を省略する。

【0171】この変形例では、周辺回路領域108にn型及びp型の各トランジスタTr2(n)、Tr2

(p)を形成するに際して、サイドウォール125の形

28

成とソース／ドレイン126(n')、127(p')の形成を連続した工程として行なう。

【0172】具体的には、図23(a)～(c)、図24(a)の各工程を経た後、図30(a)に示すように、周辺回路領域108のn型トランジスタTr2

(n)となるゲート電極119のみを開口するレジストマスク201を形成し、図24(b)と同様の手順でサイドウォール125を形成した後、n型不純物のイオン注入を行いn型ソース／ドレイン126(n')を形成する。

【0173】続いて、図30(b)に示すように、レジストマスク201を灰化処理等により除去した後、今度は周辺回路領域108のp型トランジスタTr2(p)となるゲート電極119のみを開口するレジストマスク202を形成し、同様にサイドウォール125を形成した後、p型不純物のイオン注入を行いp型ソース／ドレイン127(p')を形成する。なお、n型、p型トランジスタに対する工程（サイドウォール形成、イオン注入）についてはn型、p型とで順序を逆にしてもよい。

【0174】続いて、レジストマスク202を灰化処理等により除去した後、図24(c)と同様に、ソース／ドレイン126(n')、127(p')の表面に金属シリサイド128としてCoSiを周知のシリサイド・プロセスにより膜厚10nm程度に選択的に成長させた後、層間絶縁膜131を形成して表面を平坦化する。

【0175】しかる後、図25～図29の各工程を経て、DRAMを完成させる。

【0176】この変形例によれば、第4の実施形態で説明した諸効果に加え、各導電型のトランジスタTr2(n)、Tr2(p)について、サイドウォール125の形成用のマスクとイオン注入用のマスクとを兼ねることにより、マスク数及び工程数を削減して効率の良いDRAMの製造が可能となる。

【0177】以下に示す諸態様もまた、本発明を構成する。

【0178】態様1は、半導体装置の製造方法であって、半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、前記第1の領域のゲート電極間を埋め込まない程度の膜厚に第1の保護膜を形成する工程と、前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成する工程と、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程と、少なくとも前記第2の領域のゲート

電極間を埋め込まない程度の膜厚に第2の保護膜を形成する工程と、前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記金属シリサイド膜を露出させる第2の接続孔を前記第1及び第2の保護膜を利用してそれぞれ形成する工程とを含むことを特徴とする。

【0179】態様2は、前記態様1に記載の半導体装置の製造方法であって、前記金属シリサイド膜を形成した後、前記第1の領域の前記絶縁膜及び前記第2の領域の前記サイドウォールを残した状態で、前記第2の領域のゲート電極間を埋め込まない程度の膜厚に前記第2の保護膜を形成することを特徴とする。

【0180】態様3は、前記態様1に記載の半導体装置の製造方法であって、前記金属シリサイド膜を形成した後、前記第1の領域の前記絶縁膜及び前記第2の領域の前記サイドウォールを除去し、前記第1の領域のゲート電極間を埋め込まない程度の膜厚に前記第2の保護膜を形成することを特徴とする。

【0181】

【発明の効果】本発明によれば、例えば第1、第2の領域の関係について、第1の領域がメモリセル領域、第2の領域がその周辺回路領域である場合に、当該周辺回路領域のトランジスタにおけるソース/ドレインのシリサイド化と、BLCやSACの自己整合化技術とを共に適用し、ロジック回路のトランジスタに金属シリサイドを備えた半導体メモリの更なる高集積化及び高性能化（高速動作化）を可能とする。

【図面の簡単な説明】

【図1】第1の実施形態の半導体装置の製造方法を示す概略断面図である。

【図2】図1に引き続き、第1の実施形態の半導体装置の製造方法を示す概略断面図である。

【図3】第1の実施形態の半導体装置の製造方法の変形例1を示す概略断面図である。

【図4】第1の実施形態の半導体装置の製造方法の変形例2を示す概略断面図である。

【図5】第1の実施形態の半導体装置の製造方法の変形例3を示す概略断面図である。

【図6】第2の実施形態によるDRAMを示す概略断面図である。

【図7】第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図8】図7に引き続き、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図9】図8に引き続き、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図10】図9に引き続き、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図11】図10に引き続き、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図12】図11に引き続き、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図13】図12に引き続き、第2の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図14】第2の実施形態の半導体装置の製造方法の変形例1を示す概略断面図である。

【図15】第2の実施形態の半導体装置の製造方法の変形例2を示す概略断面図である。

【図16】第2の実施形態の半導体装置の製造方法の変形例3を示す概略断面図である。

【図17】図16に引き続き、第2の実施形態の半導体装置の製造方法の変形例3を示す概略断面図である。

【図18】第3の実施形態の半導体装置の製造方法を示す概略断面図である。

【図19】図18に引き続き、第3の実施形態の半導体装置の製造方法を示す概略断面図である。

【図20】図19に引き続き、第3の実施形態の半導体装置の製造方法を示す概略断面図である。

【図21】第3の実施形態の半導体装置の製造方法の変形例を示す概略断面図である。

【図22】第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図23】図22に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図24】図23に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図25】図24に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図26】図25に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図27】図26に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図28】図27に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図29】図28に引き続き、第4の実施形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図30】第4の実施形態の半導体装置の製造方法の変形例を示す概略断面図である。

【図31】従来のDRAMの製造方法における問題点を説明するための一部工程を示す概略断面図である。

【符号の説明】

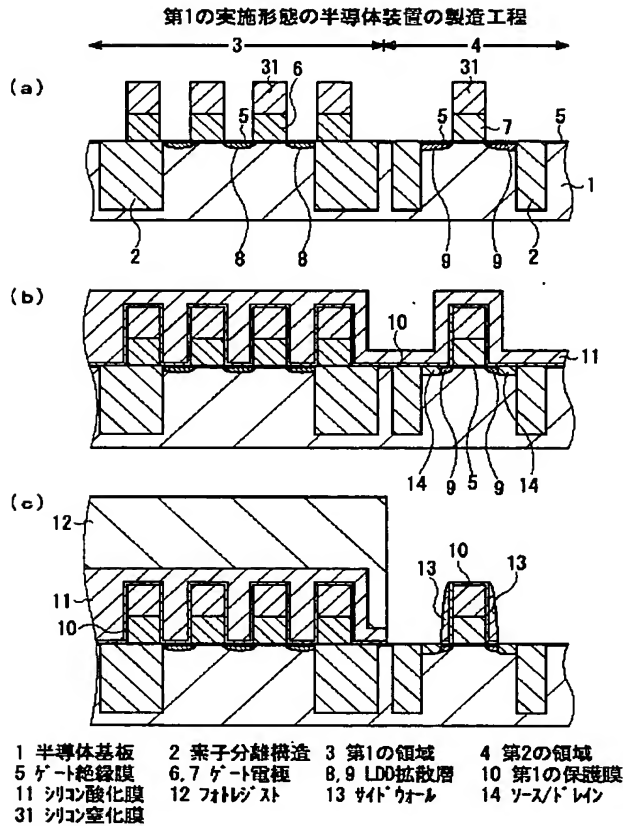
- 1, 101 半導体基板
- 2, 106 素子分離構造
- 3 第1の領域
- 4 第2の領域
- 5, 109 ゲート絶縁膜
- 6, 7, 118, 119 ゲート電極
- 8, 9, 121a, 121b LDD拡散層
- 10, 122 第1の保護膜
- 11 シリコン酸化膜

31

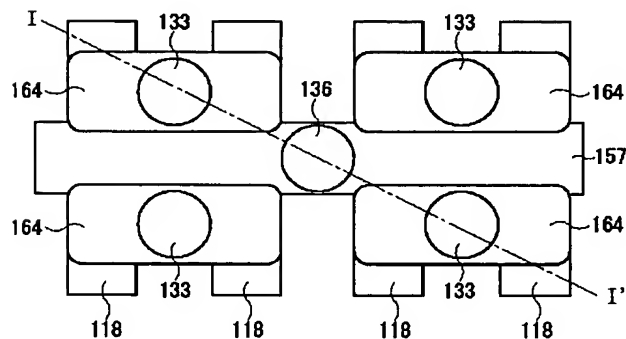
12, 17, 22, 23, 24, 124, 132, 135, 201, 202, 203, 204 フォトレジスト
13, 125 サイドウォール
14, 126 (n'), 127 (p') ソース/ドレイン
15, 129 第2の保護膜

*

【図1】



【図6】

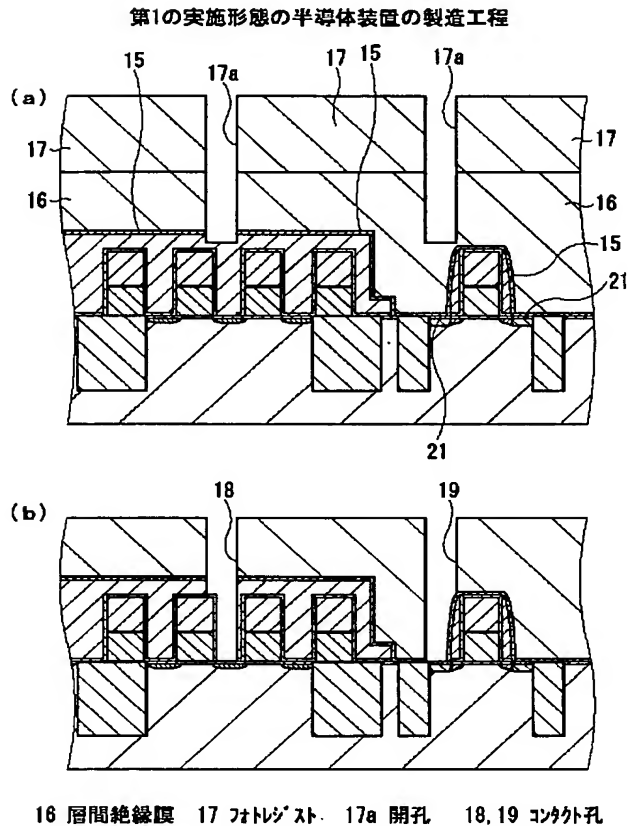


第2の実施形態のDRAM

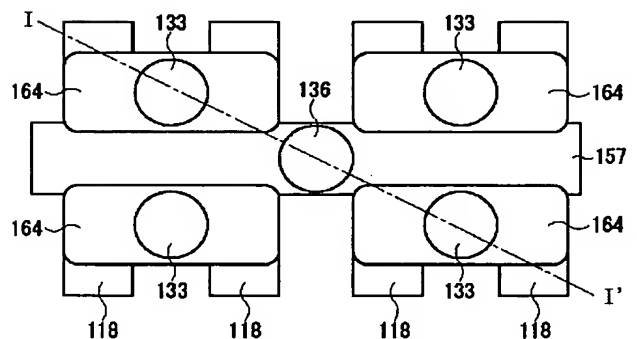
32

* 16, 131, 167 層間絶縁膜
18, 19, 133, 136, 137 コンタクト孔
21, 128 金属シリサイド
107 メモリセル領域
108 周辺回路領域

【図2】



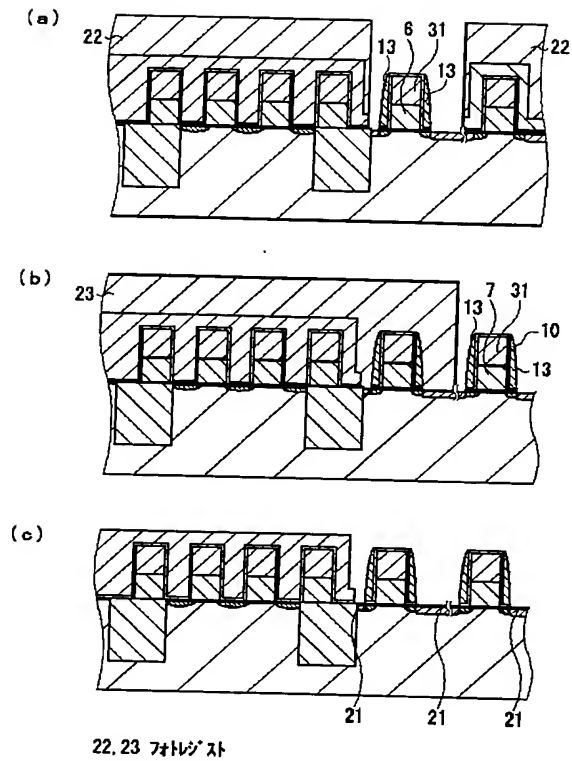
【図22】



第4の実施形態のDRAM

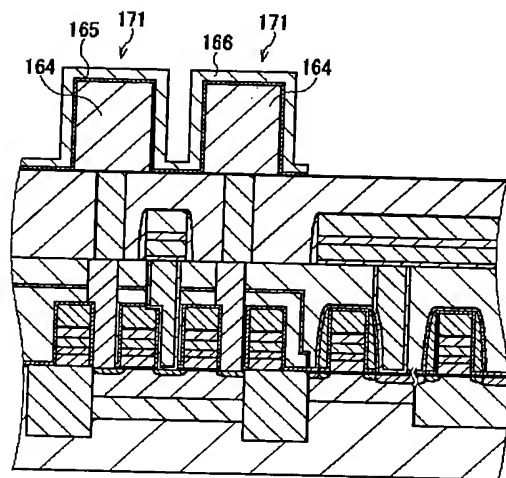
【図 3】

変形例1の製造工程



【図 1 2】

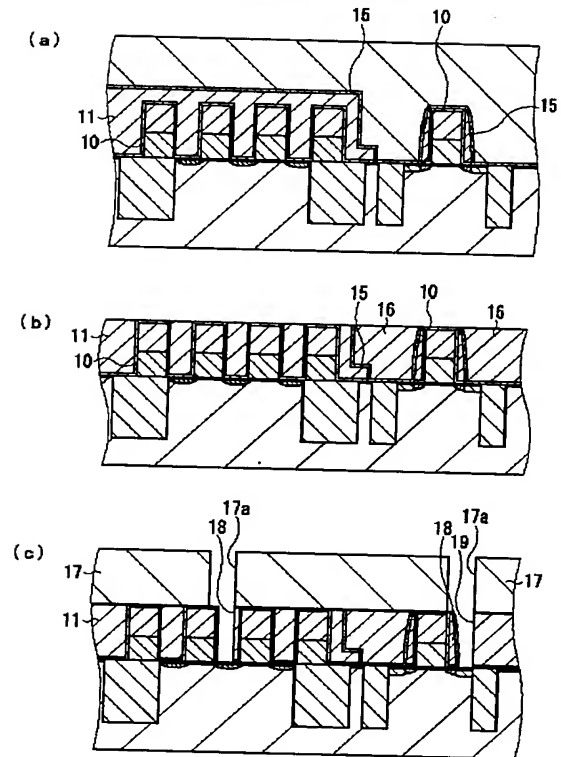
第2の実施形態のDRAMの製造工程



164 ストレージノード電極 165 誘電体膜
166 セルプレート電極 171 メモリキャパシタ

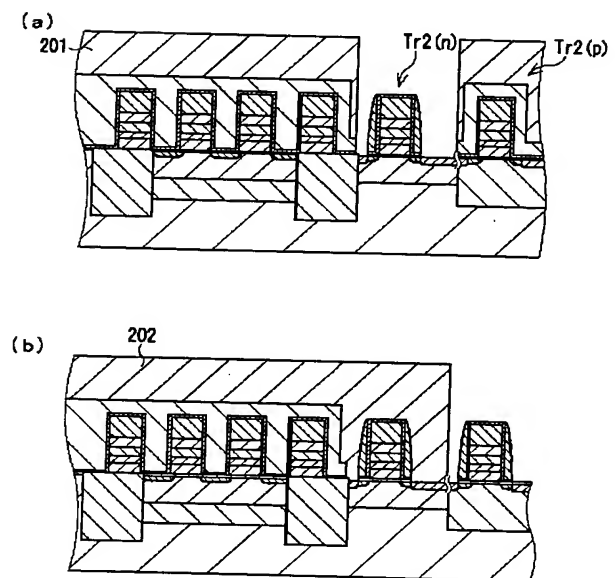
【図 4】

変形例2の製造工程



【図 1 4】

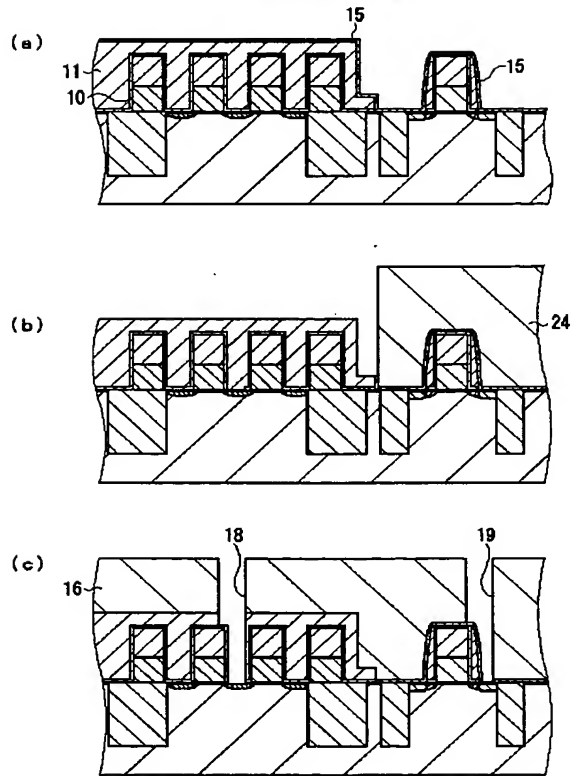
変形例1の製造工程



201, 202 フォトリソグ

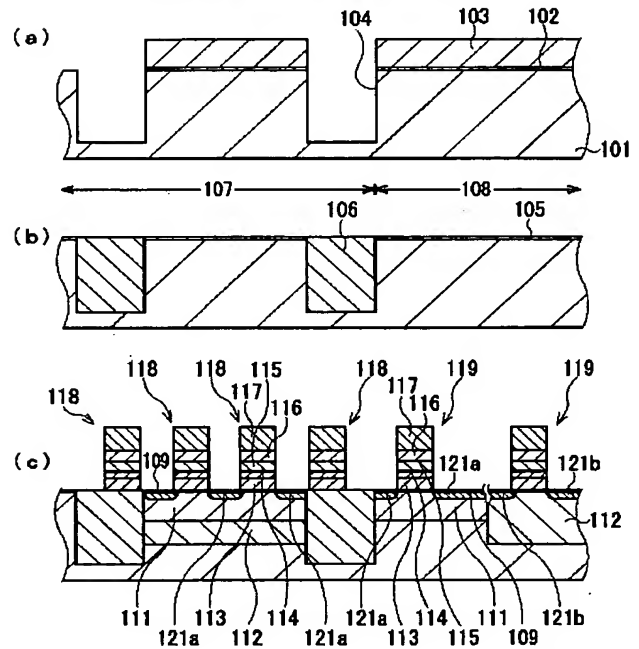
【図 5】

変形例3の製造工程



【図 7】

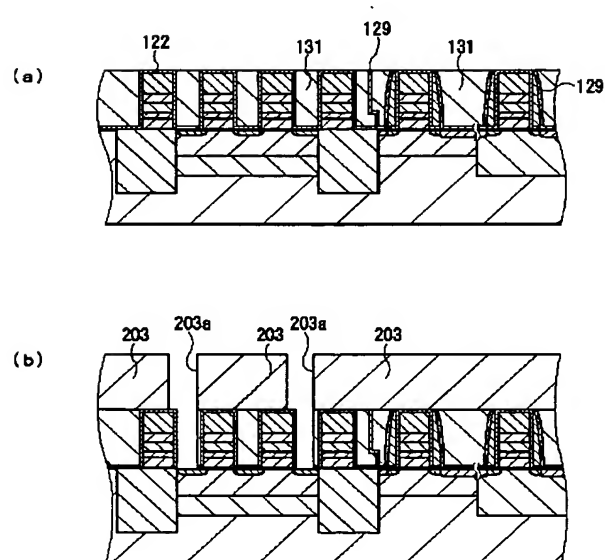
第2の実施形態のDRAMの製造工程



101 半導体基板 102 初期酸化膜 103, 117 シリコン窒化膜
 104 溝 105 犠牲酸化膜 106 素子分離構造
 108 周辺回路領域 111 p型領域 112 n型領域
 113 DASI 114 パリメタル膜 115 メタル膜
 116 シリコン窒化酸化膜 118, 119 ゲート電極 121a, 121b LDD拡散層

【図 15】

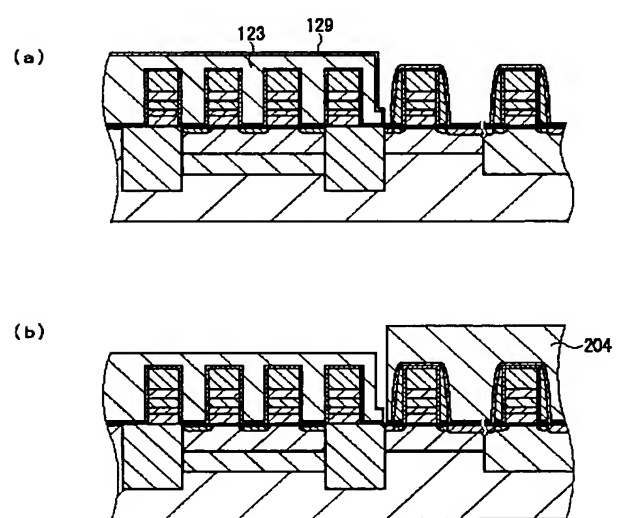
変形例2の製造工程



203 フォトリソグ

【図 16】

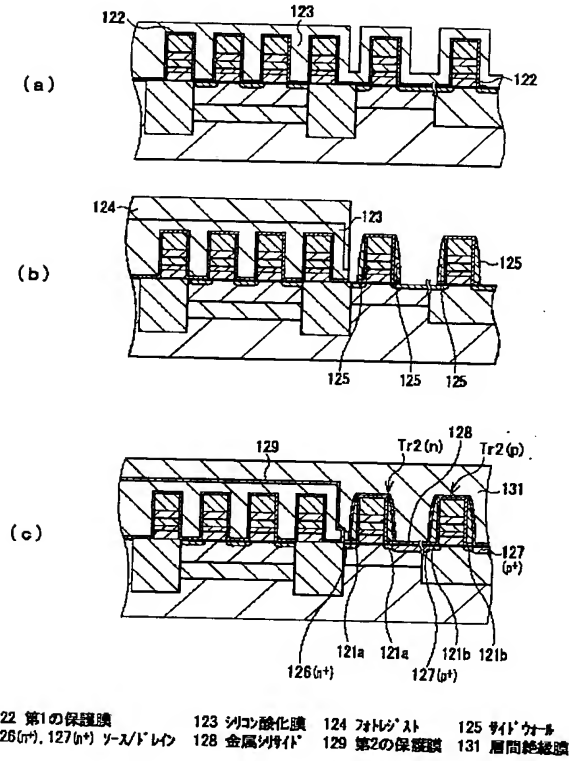
変形例3の製造工程



204 フォトリソグ

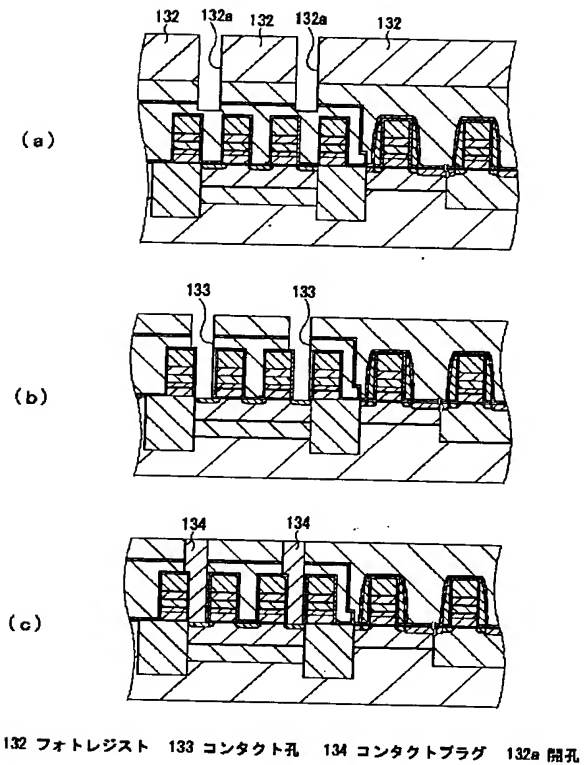
【図 8】

第2の実施形態のDRAMの製造工程



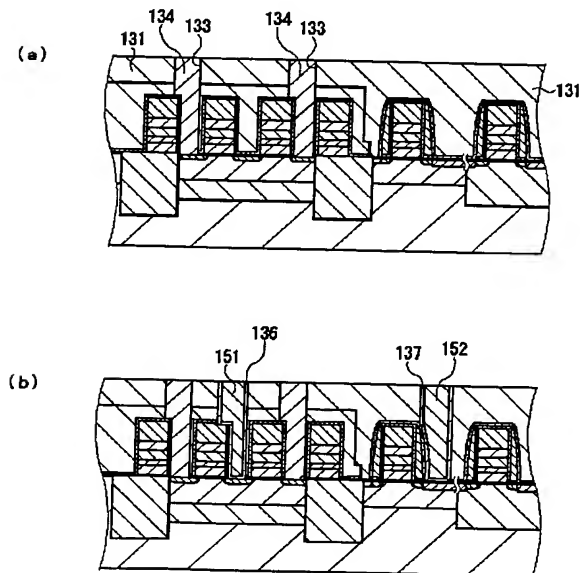
【図 9】

第2実施形態のDRAMの製造工程



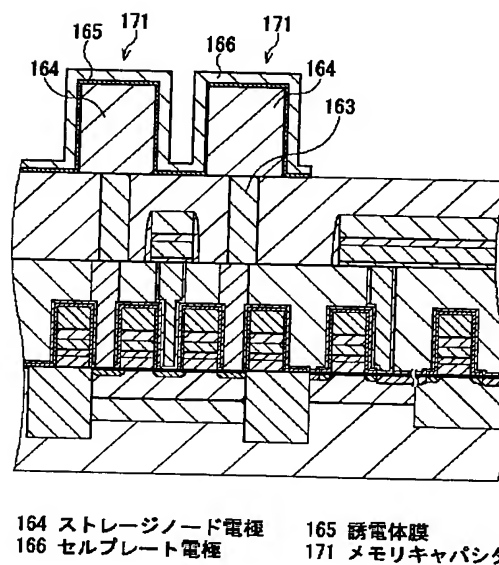
【図 1 7】

変形例3の製造工程



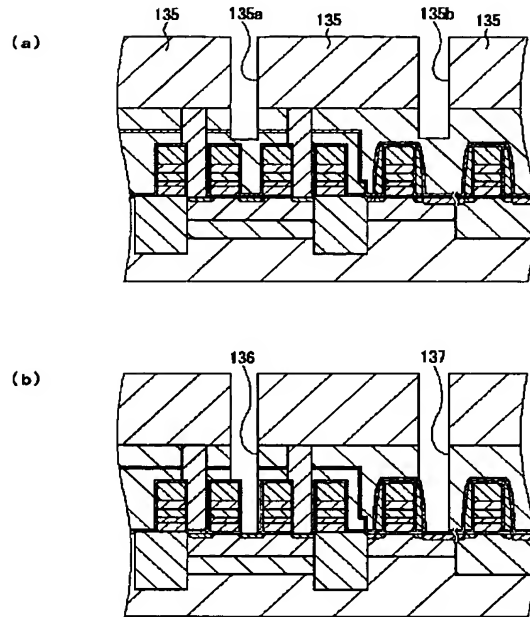
【図 2 8】

第4の実施形態のDRAMの製造工程



【図10】

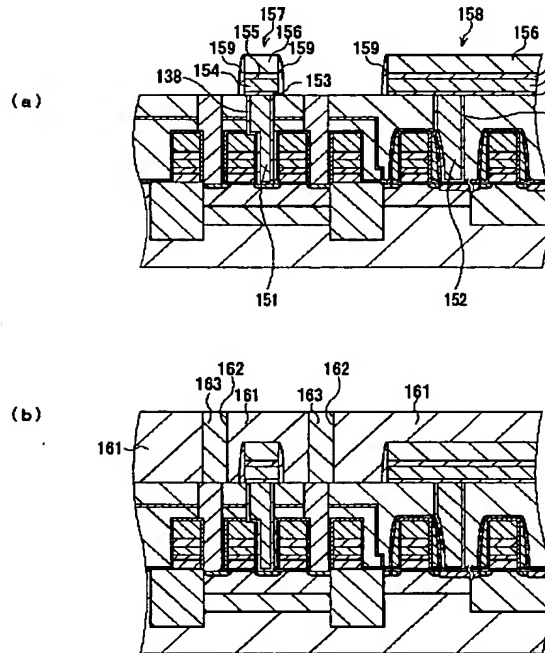
第2の実施形態のDRAMの製造工程



135 フォトリソグ 136, 137 コンタクト孔 135a 開孔

【図11】

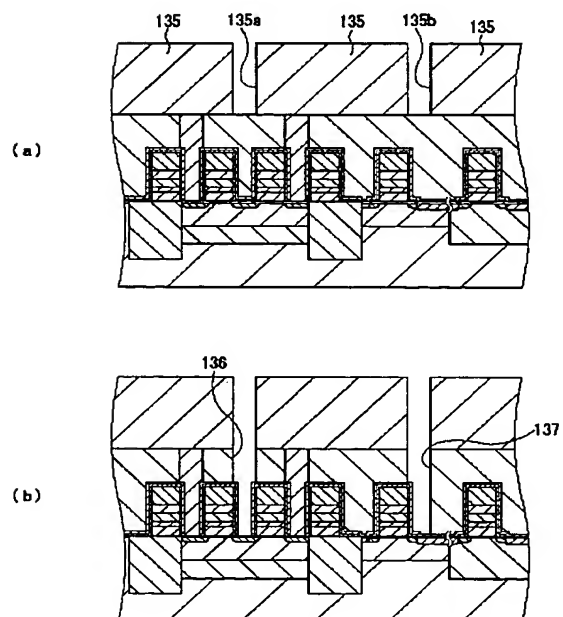
第2の実施形態のDRAM製造工程



138 バリア金属膜 151, 152, 163 コンタクトパッド 153 バリウム膜 154 金属膜
 155 シリコン窒化膜 156 シリコン窒化膜 157 ビット線 158 配線層
 159 サイドウォール 161 層間絶縁膜

【図26】

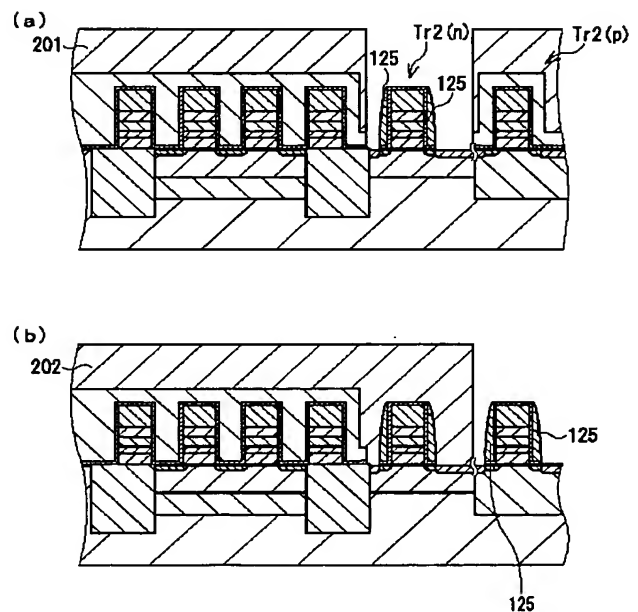
第4の実施形態のDRAMの製造工程



135 フォトリソグ 136, 137 コンタクト孔 135a 開孔

【図30】

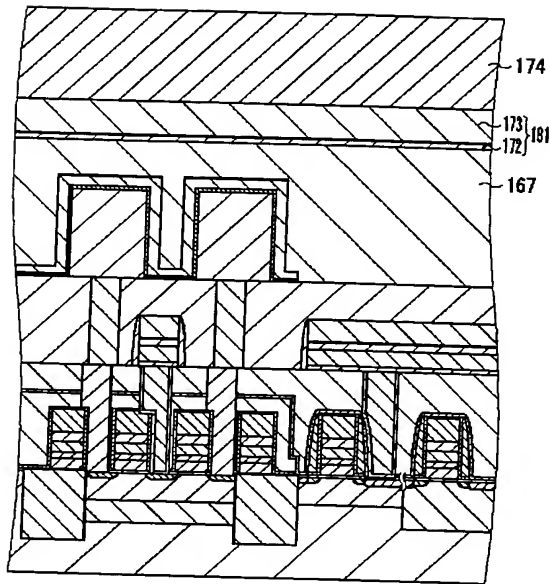
変形例の製造工程



201, 202 フォトリソグ

【図13】

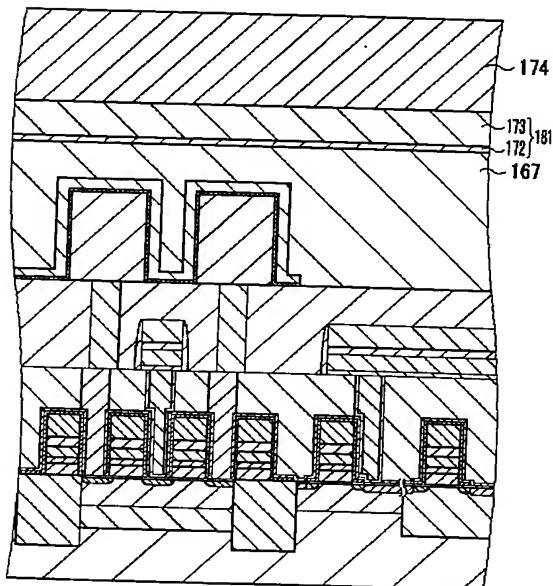
第2の実施形態のDRAMの製造工程



172 バリアメタル膜 173 メタル膜 174 保護膜
181 上層配線層

【図29】

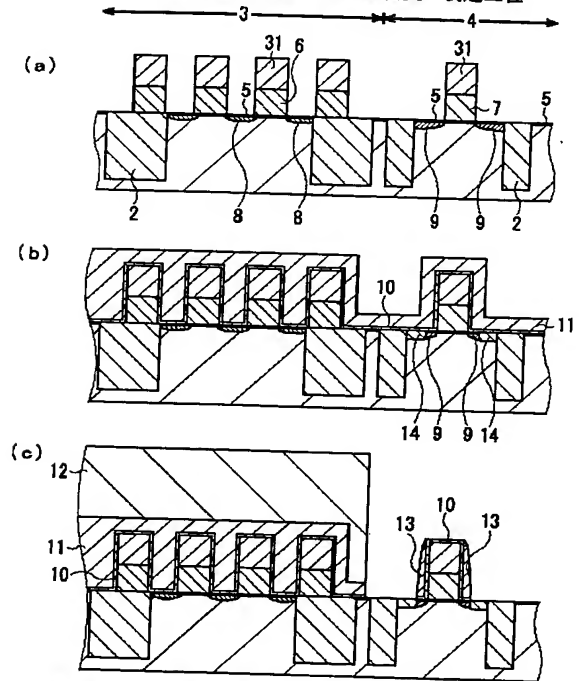
第4の実施形態のDRAMの製造工程



172 バリアメタル膜 173 メタル膜 174 保護膜
181 上層配線層

【図18】

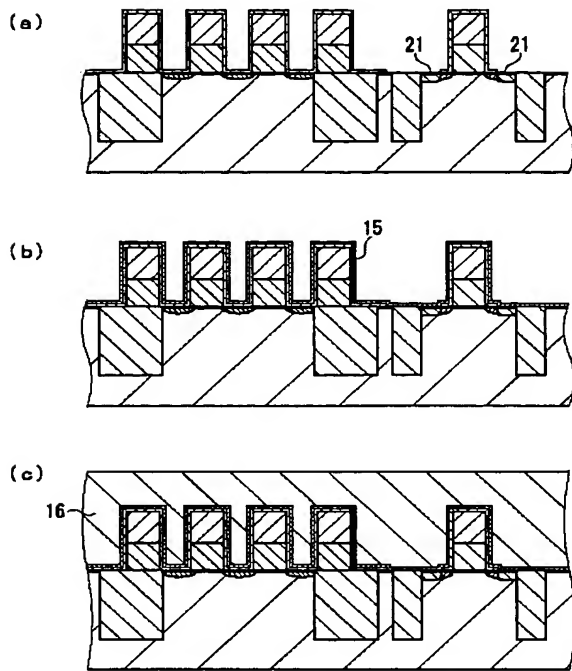
第3の実施形態の半導体装置の製造工程



1 半導体基板 2 素子分離構造 3 第1の領域 4 第2の領域
5 ゲート絶縁膜 6, 7 ゲート電極 8, 9 LDD拡散層 10 第1の保護膜
11 シリコン酸化膜 12 フォトリソ 13 サイドウォール 14 ソース/ドレイン
31 シリコン窒化膜

【図 1 9】

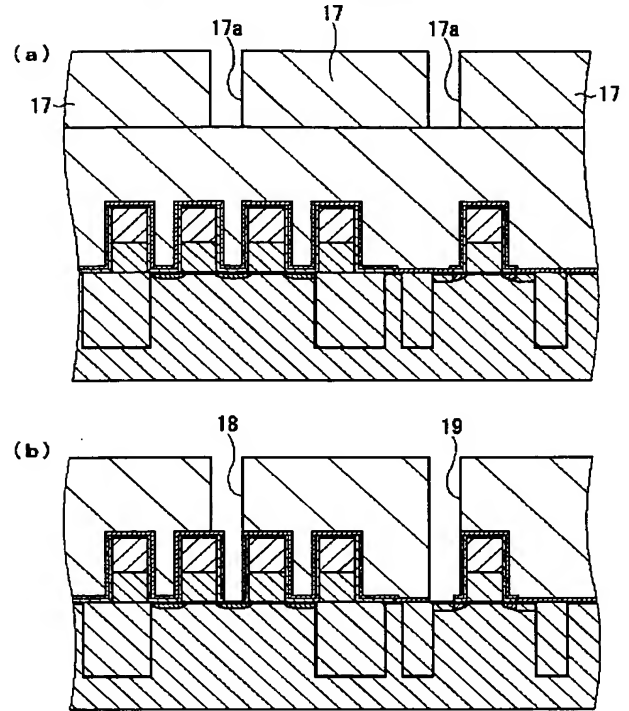
第3の実施形態の半導体装置の製造工程



15 第2の保護膜 16 層間絶縁膜 21 金属シリサイド

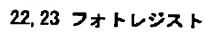
【図 2 0】

第3の実施形態の半導体装置の製造工程

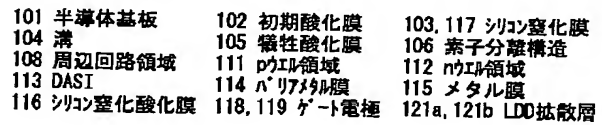


17 フォトリソグ 18, 19 コンタクト孔 17a 開孔

変形例の製造工程

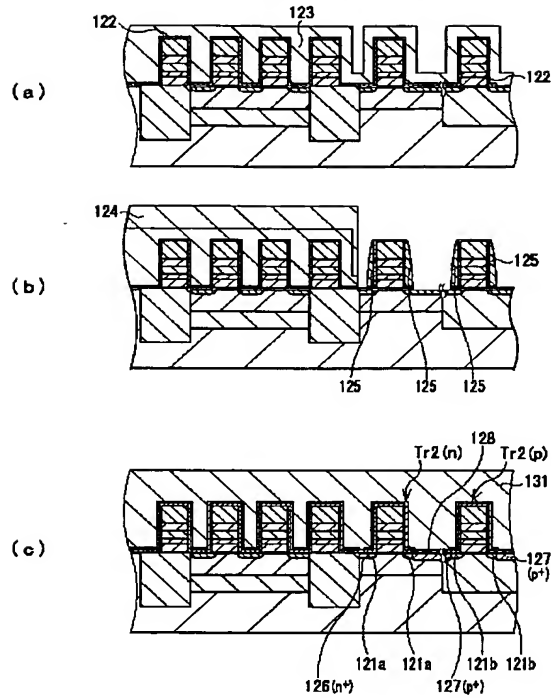


第4の実施形態のDRAMの製造工程



【図 2 4】

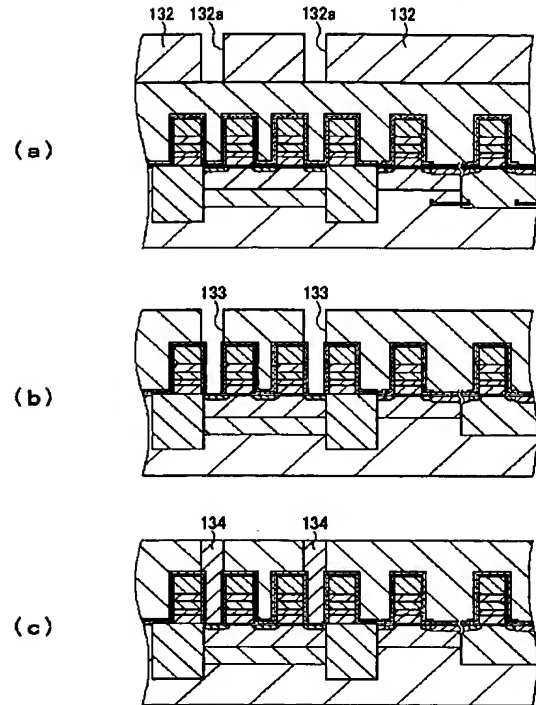
第4の実施形態のDRAMの製造工程



122 第1の保護膜 123 硝酸酸化膜 124 フォトリソ 125 フォトリソ
126(n⁺), 127(n⁺) シス/ドレイン 128 金属サイト 129 第2の保護膜 131 層間絶縁膜

【図 2 5】

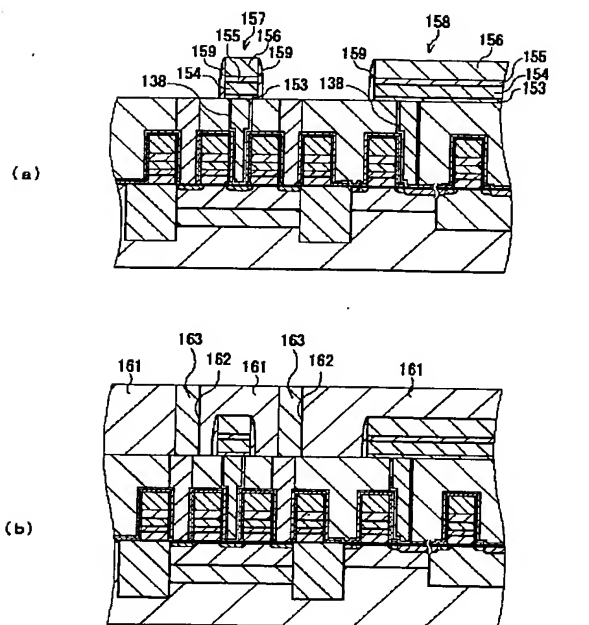
第4の実施形態のDRAMの製造工程



132 フォトリソ 133 コンタクト孔 134 コンタクトプラグ 132a 開孔

【図 2 7】

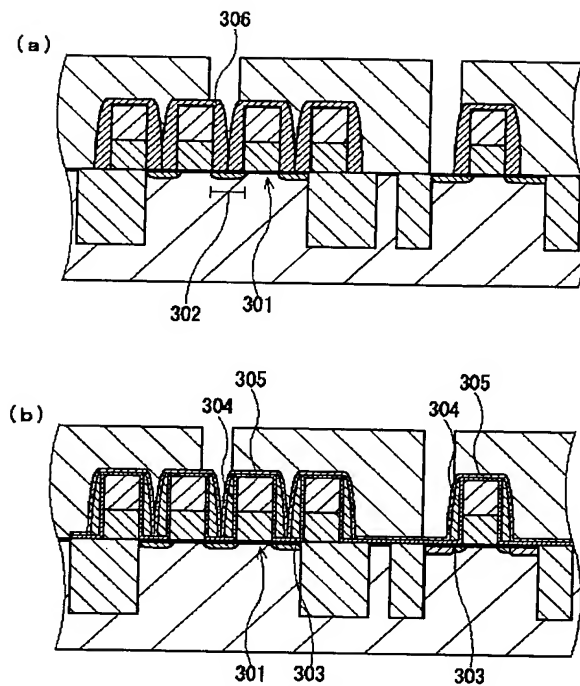
第4の実施形態のDRAMの製造工程



138 バリウム膜 151, 152, 163 コンタクトパッド 153 バリウム膜 154 メタル膜
 155 シリコン酸化膜 156 シリコン酸化膜 157 ピット線 158 配線層
 159 サイドウォール 161 層間絶縁膜

【図 3 1】

従来例



301 ゲート電極 302 素子間隔 303, 305, 306 窒化膜
 304 サイドウォール

フロントページの続き

(72)発明者 鷹尾 義弘
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 勝部 雅樹
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

Fターム(参考) 5F083 AD10 AD42 AD48 AD49 AD56
 ER22 GA02 GA09 JA31 JA35
 JA56 MA06 MA17 PR06 PR29
 PR36 PR40 ZA12